

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-322020

(43)Date of publication of application : 24.11.2000

(51)Int.Cl.

G09G 3/20
G11C 19/00

(21)Application number : 11-134664

(71)Applicant : SHARP CORP

(22)Date of filing : 14.05.1999

(72)Inventor : SATO MASAKAZU

KUBOTA YASUSHI

WASHIO HAJIME

MAEDA KAZUHIRO

MICHAEL JAMES BROWNLOW

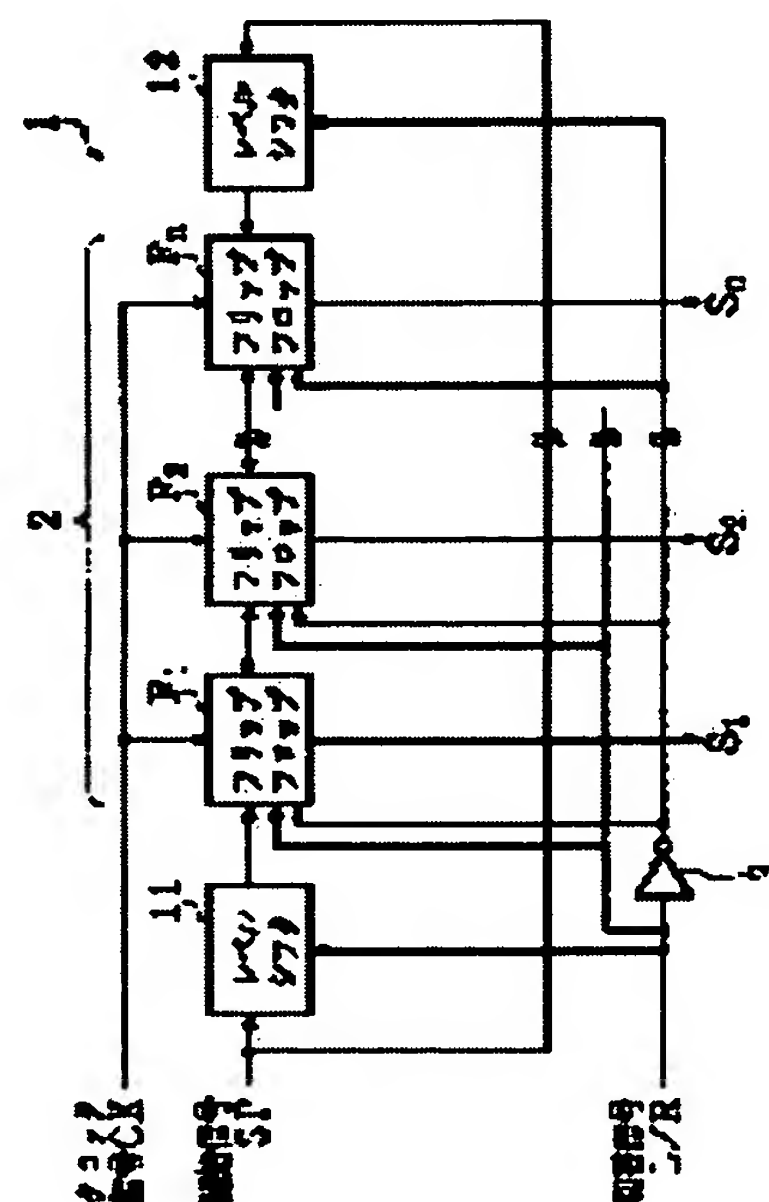
CAIRNS GRAHAM ANDREW

(54) BI-DIRECTIONAL SHIFT REGISTER AND IMAGE DISPLAY DEVICE USING THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a shift register shifting in both directions, operating normally for an input signal with an lower amplitude, and consuming less power.

SOLUTION: A shift register 1 is provided with a shift register part 2 comprising multiple stages of flip-flops F1 to Fn operating synchronously with a clock signal CK, and level shifters 11, 12 stepping up a start signal SP lower than a drive voltage, and supplying the signal on both ends of the shift register part 2. A switching signal L/R changes the shift direction of the shift register 1. The level shifters 11, 12 are current driven type that can operate when transistor characteristics are low or for a high speed operation, and can shift the level when the amplitude of the start signal SP is low. The level shifters 11, 12 are provided on both ends of the shift register part 2 to reduce power consumption by stopping either of them according to the switching signal L/R.



LEGAL STATUS

[Date of request for examination] 28.03.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

^ Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-322020
(P2000-322020A)

(43) 公開日 平成12年11月24日 (2000. 11. 24)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード(参考)
G 0 9 G 3/20	6 2 3	G 0 9 G 3/20	6 2 3 H 5 C 0 8 0
	6 2 2		6 2 2 E
G 1 1 C 19/00		G 1 1 C 19/00	C

審査請求 未請求 請求項の数10 O L (全 15 頁)

(21) 出願番号 特願平11-134664

(22) 出願日 平成11年5月14日 (1999. 5. 14)

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 佐藤 昌和

大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

(72) 発明者 久保田 靖

大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

(74) 代理人 100080034

弁理士 原 謙三

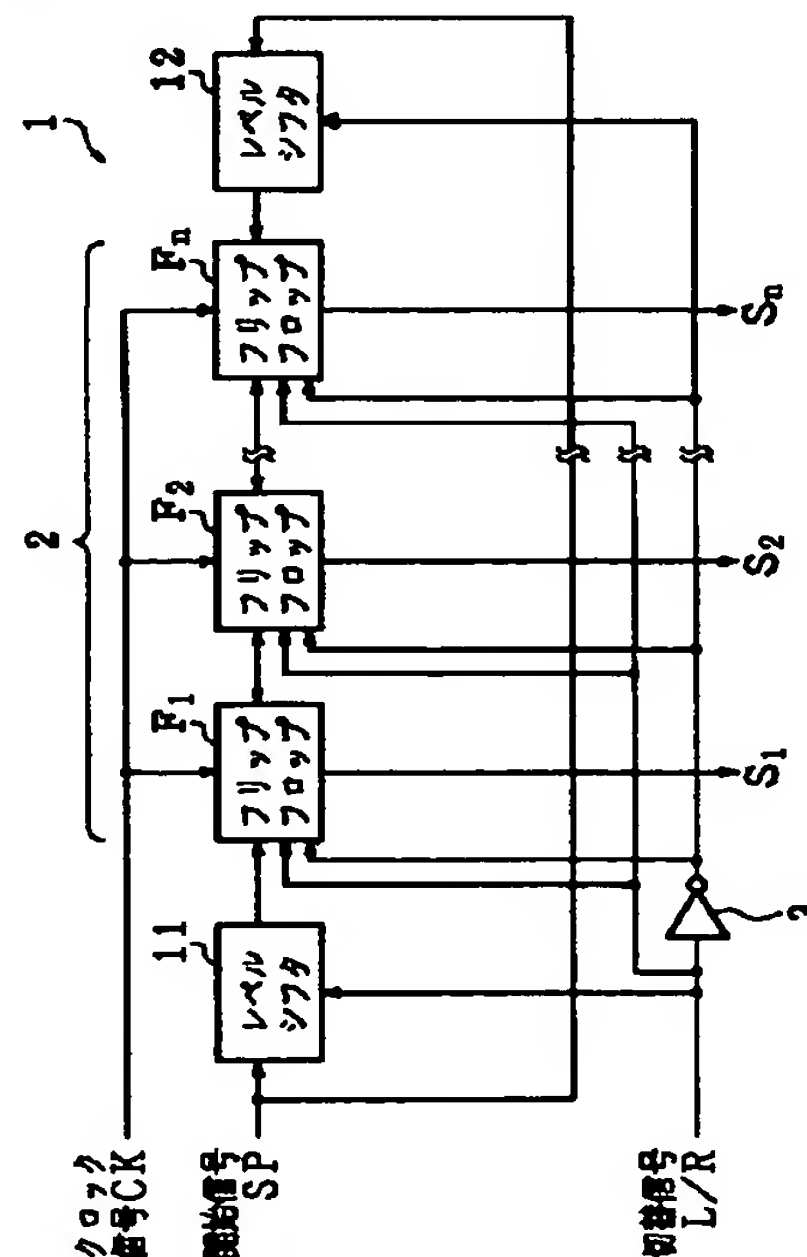
最終頁に続く

(54) 【発明の名称】 双方向シフトレジスタ、および、それを用いた画像表示装置

(57) 【要約】

【課題】 双方向にシフトが可能で、かつ、入力信号の振幅が低い場合でも正常に動作すると共に、消費電力の少ないシフトレジスタを実現する。

【解決手段】 シフトレジスタ1は、クロック信号CKに同期して動作する複数段のフリップフロップF₁～F_nからなるシフトレジスタ部2と、駆動電圧よりも低い開始信号SPを昇圧して、シフトレジスタ部2の両端へ与えるレベルシフタ11・12とを備えており、切替信号L/Rに応じてシフト方向を変更できる。上記レベルシフタ11・12は、トランジスタ特性が低い場合や高速動作する場合でも動作可能な電流駆動型であり、開始信号SPの振幅が低い場合でもレベルシフトできる。さらに、上記レベルシフタ11・12は、シフトレジスタ部2の両側に1つずつ設けられており、切替信号L/Rに基づいて、いずれか一方の動作を停止することで、消費電力を削減する。



【特許請求の範囲】

【請求項1】 クロック信号に同期して動作する複数段のフリップフロップを有し、切替信号に応じてシフト方向を双方向に切替え可能で、かつ、入力信号の振幅が駆動電圧よりも小さな双方向シフトレジスタにおいて、上記複数段のフリップフロップの両端に、上記入力信号を昇圧するレベルシフトを備えていることを特徴とする双方向シフトレジスタ。

【請求項2】 さらに、上記切替信号に応じて、上記両レベルシフトのうち、シフト方向の最後尾側のレベルシフトを停止させる制御手段を備えていることを特徴とする請求項1記載の双方向シフトレジスタ。

【請求項3】 上記各レベルシフトは、動作中、入力信号を印加する入力スイッチング素子が常時導通する電流駆動型のレベルシフト部を含んでいることを特徴とする請求項2記載の双方向シフトレジスタ。

【請求項4】 上記制御手段は、上記各レベルシフト部への入力信号として、上記入力スイッチング素子が遮断するレベルの信号を与えることによって、当該レベルシフトを停止させることを特徴とする請求項3記載の双方向シフトレジスタ。

【請求項5】 上記制御手段は、上記各レベルシフト部への電力供給を停止して、当該レベルシフトを停止させることを特徴とする請求項2記載の双方向シフトレジスタ。

【請求項6】 上記各レベルシフトは、停止時に、予め定められた値に出力電圧を保つ出力安定手段を備えていることを特徴とする請求項2、3、4または5記載の双方向シフトレジスタ。

【請求項7】 マトリクス状に配された複数の画素と、上記各画素の各行に配置された複数のデータ信号線と、上記各画素の各列に配置された複数の走査信号線と、予め定められた周期の第1クロック信号に同期して、互いに異なるタイミングの走査信号を上記各走査信号線へ順次与える走査信号線駆動回路と、予め定められた周期の第2クロック信号に同期して順次与えられ、かつ、上記各画素の表示状態を示す映像信号から、上記走査信号が与えられた走査信号線の各画素へのデータ信号を抽出して、上記各データ信号線へ出力するデータ信号線駆動回路とを有する画像表示装置において、

上記データ信号線駆動回路および走査信号線駆動回路の少なくとも一方は、上記第1あるいは第2クロック信号を上記クロック信号とする請求項1、2、3、4、5または6記載の双方向シフトレジスタを備えていることを特徴とする画像表示装置。

【請求項8】 上記データ信号線駆動回路、走査信号線駆動回路および各画素は、互いに同一の基板上に形成されていることを特徴とする請求項7記載の画像表示装置。

【請求項9】 上記データ信号線駆動回路、走査信号線駆動回路および各画素は、多結晶シリコン薄膜トランジス

タからなるスイッチング素子を含んでいることを特徴とする請求項7または8記載の画像表示装置。

【請求項10】 上記データ信号線駆動回路、走査信号線駆動回路および各画素は、600度以下のプロセス温度で製造されたスイッチング素子を含んでいることを特徴とする請求項7、8または9記載の画像表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、例えば、画像表示装置の駆動回路などに好適に使用され、入力信号の振幅が駆動電圧よりも低い場合でも入力信号を双方向にシフト可能な双方向シフトレジスタ、および、それを用いた画像表示装置に関するものである。

【0002】

【従来の技術】 例えば、画像表示装置のデータ信号線駆動回路や走査信号線駆動回路では、各データ信号を映像信号からサンプリングする際のタイミングを取ったり、各走査信号線へ与える走査信号を作成したりするために、シフトレジスタが広く使用されている。さらに、表示部あるいは撮影部を反転可能な画像表示装置では、表示部あるいは撮影部の向きに応じて、上下や左右を反転させた鏡像を表示することが望まれるため、上記シフトレジスタとして、シフト方向を切替可能な双方向シフトレジスタが使用される。この場合、シフト方向が切替られると、画像の走査方向が反転する。したがって、各画素への映像信号を記憶することなく、鏡像を表示できる。

【0003】 一方、電子回路の消費電力は、周波数と、負荷容量と、電圧の2乗とに比例して大きくなる。したがって、例えば、画像表示装置への映像信号を生成する回路など、画像表示装置に接続される回路、あるいは、画像表示装置では、消費電力を低減するため、駆動電圧が益々低く設定される傾向にある。

【0004】 例えば、画素や、データ信号線駆動回路、あるいは走査信号線駆動回路のように、広い表示面積を確保するために多結晶シリコン薄膜トランジスタが使用される回路では、基板間あるいは同一基板内においても、しきい値電圧の相違が、例えば、数[V]程度に達することもあるため、駆動電圧の低減が十分に進んでいるとは言い難いが、例えば、上記映像信号の生成回路のように、単結晶シリコントランジスタを用いた回路では、駆動電圧は、例えば、5[V]や3.3[V]、あるいは、それ以下の値に設定されていることが多い。したがって、シフトレジスタの駆動電圧よりも低い入力信号が印加される場合、シフトレジスタには、入力信号を昇圧するレベルシフトが設けられる。

【0005】 具体的には、例えば、図9に示すように、上記従来のシフトレジスタ101へ、例えば、5[V]程度の振幅の開始信号SPが与えられると、レベルシフト103は、シフトレジスタ101の駆動電圧(15

〔V〕)まで、開始信号SPを昇圧する。レベルシフタ103の出力は、シフトレジスタ部102の一方端のフリップフロップ F_1 と、他方端のフリップフロップ F_n との双方へ印加され、シフトレジスタ部102は、クロック信号CKに同期して、切替信号L/Rに応じた方向へ開始信号SPをシフトする。

【0006】

【発明が解決しようとする課題】しかしながら、上記従来のシフトレジスタ101では、開始信号SPをレベルシフトした後、両フリップフロップ $F_1 \sim F_n$ へ伝送しているため、両フリップフロップ $F_1 \sim F_n$ 間の距離が離れる程、伝送距離が長くなり、消費電力が増大するという問題を生ずる。

【0007】具体的には、伝送距離が長くなるに従って、伝送用の信号線の容量が大きくなるので、レベルシフタ103に、より大きな駆動能力が必要となり、消費電力が増大する。さらに、多結晶シリコン薄膜トランジスタを用いて、レベルシフタ103を含む上記駆動回路が形成される場合のように、レベルシフタ103の駆動能力が十分ではない場合には、歪みのない波形を伝送するため、図中、破線で示すように、レベルシフタ103とフリップフロップ F_n との間にバッファ104を設ける必要があるため、さらに多くの消費電力が必要になる。

【0008】近年では、より表示画面が広く、かつ、高解像な画像表示装置が要求されているため、シフトレジスタ部102の段数が益々増加する傾向にある。したがって、両フリップフロップ $F_1 \sim F_n$ の距離が増大しても消費電力の少ない双方向シフトレジスタ、および、画像表示装置が強く求められている。

【0009】本発明は、上記の問題点を鑑みてなされたものであり、その目的は、双方向にシフトが可能で、かつ、入力信号の振幅が低い場合でも正常に動作すると共に、消費電力の少ないシフトレジスタ、および、それを用いた画像表示装置を実現することにある。

【0010】

【課題を解決するための手段】本発明に係る双方向シフトレジスタは、上記課題を解決するために、クロック信号に同期して動作する複数段のフリップフロップを有し、切替信号に応じてシフト方向を双方向に切替え可能で、かつ、入力信号の振幅が駆動電圧よりも小さな双方向シフトレジスタにおいて、上記複数段のフリップフロップの両端に、上記入力信号を昇圧するレベルシフタを備えていることを特徴としている。

【0011】上記構成において、シフト方向が一方（第1方向）に指定されている場合、入力信号は、上記複数段のフリップフロップの一方端（第1端部）に設けられたレベルシフタ（第1レベルシフタ）にて昇圧された後、第1端部のフリップフロップへ印加され、上記クロック信号に同期して順次伝送される。これとは逆に、シ

フト方向が第1方向とは逆の方向（第2方向）に指定されている場合、入力信号は、上記複数段のフリップフロップのうち、第1端部とは逆方向の端部（第2端部）に設けられたレベルシフタ（第2レベルシフタ）にて昇圧された後、第2端部のフリップフロップへ印加され、上記クロック信号に同期して順次伝送される。

【0012】上記構成では、複数段のフリップフロップの両端に、第1および第2レベルシフタが設けられているので、唯一のレベルシフタが第1および第2端部のフリップフロップへレベルシフト後の信号を印加する場合に比べて、各レベルシフタからフリップフロップへの距離を短縮できる。この結果、レベルシフト後の信号の伝送距離を短縮できるので、レベルシフタの負荷容量を削減でき、レベルシフタに必要な駆動能力を抑制できる。これにより、例えば、レベルシフタの駆動能力が小さく、かつ、フリップフロップの両端間の距離が長い場合であっても、レベルシフタからフリップフロップまでの間にバッファを設ける必要がなくなり、双方向シフトレジスタの消費電力を削減できる。

【0013】上記構成の双方向シフトレジスタでは、さらに、上記切替信号に応じて、上記両レベルシフタのうち、シフト方向の最後尾側のレベルシフタを停止させる制御手段を備えている方が好ましい。

【0014】当該構成によれば、例えば、切替信号が第1方向を示している場合は、第2レベルシフタが停止し、第1レベルシフタのみが動作する。一方、第2方向の場合は、第1レベルシフタが停止して、第2レベルシフタのみが動作する。これにより、双方向シフトレジスタによる入力信号のシフトを阻害することなく、一方のレベルシフタを停止させることができ、双方が動作する場合よりも消費電力を削減できる。

【0015】さらに、上記構成の双方向シフトレジスタにおいて、上記各レベルシフタは、動作中、入力信号を印加する入力スイッチング素子が常時導通する電流駆動型のレベルシフト部を含んでいてもよい。

【0016】当該構成によれば、レベルシフタが動作している間、レベルシフタの入力スイッチング素子は、常時導通している。したがって、入力信号のレベルによって入力スイッチング素子を導通／遮断する電圧駆動型のレベルシフタとは異なり、入力信号の振幅が入力スイッチング素子のしきい値電圧よりも低い場合であっても、何ら支障なく、入力信号をレベルシフトできる。

【0017】さらに、電流駆動型のレベルシフタは、動作中、入力スイッチング素子が導通しているため、電圧駆動型のレベルシフタよりも消費電力が大きい。2つのレベルシフタのうち、一方は、動作を停止している。これにより、入力信号の振幅が入力スイッチング素子のしきい値電圧よりも低い場合でもレベルシフト可能で、かつ、双方が同時に動作する場合よりも消費電力が少ない双方向シフトレジスタを実現できる。

【0018】また、上記構成の双方向シフトレジスタにおいて、上記制御手段は、上記各レベルシフト部への入力信号として、上記入力スイッチング素子が遮断するレベルの信号を与えることによって、当該レベルシフトを停止させてもよい。

【0019】当該構成によれば、一例として、入力スイッチング素子がMOSトランジスタの場合を例にして説明すると、例えば、入力信号がゲートへ印加される場合は、ドレインソース間が遮断されるレベルの入力信号をゲートへ印加すれば、入力スイッチング素子が遮断される。また、入力信号がソースへ印加される場合には、例えば、ドレインと略同じ入力信号を印加するなどして、入力スイッチング素子を遮断する。

【0020】いずれの構成であっても、制御手段が入力信号のレベルを制御して、入力スイッチング素子を遮断すれば、電流駆動型のレベルシフトは、動作を停止する。これにより、制御手段は、レベルシフトを停止できると共に、停止中、入力スイッチング素子に流れる電流の分だけ、消費電力を低減できる。

【0021】一方、上記制御手段を有する構成の各双方向シフトレジスタにおいて、上記制御手段は、上記各レベルシフトへの電力供給を停止して、当該レベルシフトを停止させてもよい。

【0022】当該構成によれば、制御手段は、各レベルシフトへの電力供給を停止して、当該レベルシフトを停止させる。これにより、制御手段は、レベルシフトを停止できると共に、動作中にレベルシフトで消費する電力の分だけ、消費電力を低減できる。

【0023】ところで、レベルシフトが動作を停止している間、レベルシフトの出力電圧が不定となると、当該レベルシフトに接続されているフリップフロップの動作が不安定になる虞れがある。

【0024】したがって、上記各構成の双方向シフトレジスタにおいて、上記各レベルシフトは、停止時に、予め定められた値に出力電圧を保つ出力安定手段を備えている方が好ましい。

【0025】当該構成によれば、レベルシフトが停止している間、当該レベルシフトの出力電圧は、出力安定手段によって所定の値に保たれる。この結果、不定な出力電圧に起因するフリップフロップの誤動作を防止でき、より安定した双方向シフトレジスタを実現できる。

【0026】一方、本発明に係る画像表示装置は、上記課題を解決するために、マトリクス状に配された複数の画素と、上記各画素の各行に配置された複数のデータ信号線と、上記各画素の各列に配置された複数の走査信号線と、予め定められた周期の第1クロック信号に同期して、互いに異なるタイミングの走査信号を上記各走査信号線へ順次与える走査信号線駆動回路と、予め定められた周期の第2クロック信号に同期して順次与えられ、かつ、上記各画素の表示状態を示す映像信号から、上記走

査信号が与えられた走査信号線の各画素へのデータ信号を抽出して、上記各データ信号線へ出力するデータ信号線駆動回路とを有する画像表示装置において、上記データ信号線駆動回路および走査信号線駆動回路の少なくとも一方は、上記第1あるいは第2クロック信号を上記クロック信号とする上述のいずれかの構成の双方向シフトレジスタを備えていることを特徴としている。

【0027】ここで、画像表示装置では、データ信号線の数、あるいは、走査信号線の数が大きくなるに従って、各信号線毎のタイミングを生成するためのフリップフロップの数が大きくなり、フリップフロップの両端間の距離が長くなる。ところが、上記各構成の双方向シフトレジスタは、レベルシフトの駆動能力が小さく、かつ、フリップフロップの両端間の距離が長い場合であっても、バッファを削減でき、消費電力を削減できる。また、画像表示装置では、双方向シフトレジスタを用いて、データ信号線あるいは走査信号線の走査方向を反転することで、各画素へ鏡像を表示できる。

【0028】それゆえ、データ信号線駆動回路および走査信号線駆動回路の少なくとも一方に、上記各構成の双方向シフトレジスタを備えることによって、鏡像表示が可能で、かつ、消費電力の少ない画像表示装置を実現できる。

【0029】さらに、上記構成の画像表示装置において、上記データ信号線駆動回路、走査信号線駆動回路および各画素は、互いに同一の基板上に形成されている方が望ましい。

【0030】当該構成によれば、データ信号線駆動回路、走査信号線駆動回路および各画素は、互いに同一の基板上に形成されており、データ信号線駆動回路と各画素との間の配線、並びに、走査信号線駆動回路と各画素との間の配線は、当該基板上に配され、基板外に出す必要がない。この結果、データ信号線の数および走査信号線の数が増加しても、基板外に出す信号線の数が増加せず、組み立て時の手間を削減できる。また、各信号線を基板外と接続するための端子を設ける必要がないため、各信号線の容量の不所望な増大を防止できると共に、集積度の低下を防止できる。

【0031】ところで、多結晶シリコン薄膜は、単結晶シリコンに比べて、基板面積を拡大しやすい一方で、多結晶シリコントランジスタは、単結晶シリコントランジスタに比べて、例えば、移動度やしきい値などのトランジスタ特性が劣っている。したがって、単結晶シリコントランジスタを用いて各回路を製造すると、表示面積の拡大が難しく、多結晶シリコン薄膜トランジスタを用いて各回路を製造すると、各回路の駆動能力が低下してしまう。なお、両駆動回路と画素とを別の基板上に形成した場合は、各信号線で両基板間を接続する必要があり、製造時に手間がかかると共に、各信号線の容量が増大してしまう。

【0032】したがって、上述の各構成の画像表示装置では、上記データ信号線駆動回路、走査信号線駆動回路および各画素は、多結晶シリコン薄膜トランジスタからなるスイッチング素子を含んでいる方が好ましい。

【0033】当該構成では、上記データ信号線駆動回路、走査信号線駆動回路および各画素は、いずれも、多結晶シリコン薄膜トランジスタからなるスイッチング素子を含んでいるため、表示面積を容易に拡大できる。さらに、同一基板上に容易に形成できるので、製造時の手間や各信号線の容量を削減できる。加えて、上記各構成の双方向シフトレジスタが使用されているので、レベルシフトの駆動能力が低い場合であっても、何ら支障なく、レベルシフト後の入力信号をフリップフロップの両端へ印加できる。この結果、消費電力が少なく、かつ、表示面積の広い画像表示装置を実現できる。

【0034】加えて、上述の各構成の画像表示装置において、上記データ信号線駆動回路、走査信号線駆動回路および各画素は、600度以下のプロセス温度で製造されたスイッチング素子を含んでいる方が望ましい。

【0035】当該構成によれば、スイッチング素子のプロセス温度が600度以下に設定されるので、各スイッチング素子の基板として、通常のガラス基板（歪み点が600度以下のガラス基板）を使用しても、歪み点以上のプロセスに起因するソリやタワミが発生しない。この結果、実装がさらに容易で、より表示面積の広い画像表示装置を実現できる。

【0036】

【発明の実施の形態】〔第1の実施形態〕本発明の一実施形態について図1ないし図3に基づいて説明すると以下の通りである。なお、本発明は、双方向にシフト可能なシフトレジスタに広く適用できるが、以下では、好適な例として、画像表示装置に適用した場合について説明する。

【0037】すなわち、図2に示すように、本実施形態に係る画像表示装置51は、マトリクス状に配された画素PIXを有する表示部52と、各画素PIXを駆動するデータ信号線駆動回路53および走査信号線駆動回路54とを備えており、制御回路55が各画素PIXの表示状態を示す映像信号DATを生成すると、当該映像信号DATに基づいて画像を表示できる。

【0038】上記表示部52および両駆動回路53・54は、製造時の手間と、配線容量とを削減するために、同一基板上に設けられている。また、より多くの画素PIXを集積し、表示面積を拡大するために、上記各回路52～54は、ガラス基板上に形成された多結晶シリコン薄膜トランジスタから構成されている。さらに、通常のガラス基板（歪み点が600度以下のガラス基板）を用いても、歪み点以上のプロセスに起因するソリやタワミが発生しないように、上記多結晶薄膜シリコントランジスタは、600度以下のプロセス温度で製造される。

【0039】ここで、上記表示部52は、1本のデータ信号線 $SL_1 \sim SL_1$ と、各データ信号線 $SL_1 \sim SL_1$ にそれぞれ交差するm本の走査信号線 $GL_1 \sim GL_m$ とを備えている。1以下の任意の正整数をi、m以下の任意の正整数をjとすると、データ信号線 SL_i と走査信号線 GL_j との組み合わせ毎に、画素PIX(i,j)が設けられており、各画素PIX(i,j)は、隣接する2本のデータ信号線 $SL_i \cdot SL_{i+1}$ 、および、隣接する2本の走査信号線 $GL_j \cdot GL_{j+1}$ で包囲された部分に配される。

【0040】一方、上記画素PIX(i,j)は、例えば、図3に示すように、ゲートが走査信号線 GL_j へ、ドレインがデータ信号線 SL_i に接続された電界効果トランジスタ（スイッチング素子）SWと、当該電界効果トランジスタSWのソースに、一方電極が接続された画素容量 C_p とを備えている。また、画素容量 C_p の他端は、全画素PIXに共通の共通電極線に接続されている。上記画素容量 C_p は、液晶容量 C_L と、必要に応じて付加される補助容量 C_S とから構成されている。

【0041】上記画素PIX(i,j)において、走査信号線 GL_j が選択されると、電界効果トランジスタSWが導通し、データ信号線 SL_i に印加された電圧が画素容量 C_p へ印加される。一方、当該走査信号線 GL_j の選択期間が終了して、電界効果トランジスタSWが遮断されている間、画素容量 C_p は、遮断時の電圧を保持し続ける。ここで、液晶の透過率あるいは反射率は、液晶容量 C_L に印加される電圧によって変化する。したがって、走査信号線 GL_j を選択し、データ信号線 SL_i へ映像データに応じた電圧を印加すれば、当該画素PIX(i,j)の表示状態を、映像データを合わせて変化させることができる。

【0042】図2に示す画像表示装置51では、走査信号線駆動回路54が走査信号線GLを選択し、選択中の走査信号線GLとデータ信号線SLとの組み合わせに対応する画素PIXへの映像データが、データ信号線駆動回路53によって、それぞれのデータ信号線SLへ出力される。これにより、当該走査信号線GLに接続された画素PIXへ、それぞれの映像データが書き込まれる。さらに、走査信号線駆動回路54が走査信号線GLを順次選択し、データ信号線駆動回路53が各データ信号線SLへ映像データを出力する。この結果、表示部52の全画素PIXに、それぞれの映像データが書き込まれる。

【0043】ここで、上記制御回路55からデータ信号線駆動回路53までの間、各画素PIXへの映像データは、映像信号DATとして、時分割で伝送されており、データ信号線駆動回路53は、タイミング信号となる所定の周期のクロック信号CKSとスタート信号SPSとに基づいたタイミングで、映像信号DATから、各映像データを抽出している。

【0044】具体的には、上記データ信号線駆動回路53は、クロック信号CKSに同期して、切替信号L/Rが示すシフト方向へ開始信号SPSを順次シフトすることによって、1クロックずつタイミングが異なる出力信号 $S_1 \sim S_1$ を生成するシフトレジスタ53aと、各出力信号 $S_1 \sim S_1$ が示すタイミングで、映像信号DATをサンプリングして、各データ信号線 $S_1 \sim S_1$ へ出力する映像データを映像信号DATから抽出するサンプリング部53bとを備えている。ここで、後述するように、切替信号L/Rが右方向(S_1 から S_1 への方向)へのシフトを示している場合、出力信号 S_1 が最も早いタイミングとなり、切替信号L/Rが左方向へのシフトを示している場合、出力信号 S_1 が最も早いタイミングとなる。したがって、切替信号L/Rを切り替えることによって、各データ信号線 $S_1 \sim S_1$ への映像データを映像信号DATから抽出する順番を変更でき、表示部52に左右が反転した映像を表示できる。

【0045】同様に、走査信号線駆動回路54は、クロック信号CKGに同期して、切替信号U/Dが示すシフト方向へ、開始信号SPGを順次シフトすることによって、1クロックずつタイミングが異なる走査信号を、各走査信号線 $GL_1 \sim GL_m$ へ出力するシフトレジスタ54aを備えている。したがって、切替信号U/Dが下方向(GL_1 から GL_m への方向)へのシフトを示している場合、走査信号線 GL_1 への出力信号が最も早いタイミングとなり、切替信号U/Dが上方向へのシフトを示している場合、走査信号線 GL_m への出力信号が最も早いタイミングとなる。これにより、切替信号U/Dを切り替えることで、走査信号線 $GL_1 \sim GL_m$ を選択する順番を変更でき、表示部52へ上下が反転した映像を表示できる。

【0046】ここで、本実施形態に係る画像表示装置51では、表示部52および両駆動回路53・54が多結晶シリコン薄膜トランジスタで形成されており、これらの回路52～54の駆動電圧 V_{CC} は、例えば、15

[V]程度に設定されている。一方、制御回路55は、上記各回路52～54とは異なる基板上に、単結晶シリコントランジスタで形成されており、駆動電圧は、例えば、5[V]あるいは、それ以下の電圧など、上記駆動電圧 V_{CC} よりも低い値に設定されている。なお、上記各回路52～54と、制御回路55とは、互いに異なる基板に形成されているが、両者間で伝送される信号の数は、上記各回路52～54間の信号の数よりも大幅に少なく、例えば、映像信号DATや、各開始信号SPS(SPG)、クロック信号CKS(CKG)あるいは切替信号L/R(U/D)程度である。また、制御回路55は、単結晶シリコントランジスタで形成されているので十分な駆動能力を確保しやすい。したがって、互いに異なる基板上に形成しても、製造時の手間や配線容量あるいは消費電力の増加は、問題とならない程度に抑えら

れている。

【0047】ここで、本実施形態では、上記シフトレジスタ53a・54aの少なくとも一方は、図1に示すシフトレジスタ1が使用されている。なお、以下では、いずれのシフトレジスタとして使用する場合も含むように、上記各開始信号SPS(SPG)をSPと称し、切替信号L/R(U/D)をL/Rで参照する。また、シフトレジスタ1の段数 $l(m)$ を n で参照し、出力信号を $S_1 \sim S_n$ と称する。

【0048】具体的には、上記シフトレジスタ1は、複数段のフリップフロップ $F_1 \sim F_n$ からなり、クロック信号CKに同期して、双方向にシフト可能なシフトレジスタ部2を備えている。本実施形態に係るシフトレジスタ部2は、切替信号L/R自体と、切替信号L/Rをインバータ3で反転した信号とに基づいて、シフト方向を判定しており、切替信号L/Rが右または下方向(順方向)を示している場合、左または上側端のフリップフロップ F_1 から右または下側端のフリップフロップ F_n へ、開始信号SPを伝送する。一方、切替信号L/Rが左または上方向(逆方向)を示している場合、シフトレジスタ部2は、フリップフロップ F_n からフリップフロップ F_1 へ開始信号SPを伝送する。

【0049】上述したように、制御回路55の駆動電圧は、シフトレジスタ1の駆動電圧 V_{CC} よりも低く設定されており、開始信号SPの振幅も当該駆動電圧 V_{CC} よりも低く設定されている。したがって、上記シフトレジスタ1には、さらに、開始信号SPを昇圧して、シフトレジスタ部2へ与えるレベルシフタ11・12が設けられている。

【0050】本実施形態では、上記レベルシフタ11・12は、シフトレジスタ部2の両端に設けられており、左(または上)端に設けられたレベルシフタ11は、開始信号SPを昇圧して上記フリップフロップ F_1 へ出力すると共に、右(または下)側端に設けられたレベルシフタ12は、上記フリップフロップ F_n へ出力する。さらに、上記レベルシフタ11・12は、上記切替信号L/Rに基づいて、一方のみが動作するように構成されており、切替信号L/Rが順方向のシフトを指示している場合、入力側となるレベルシフタ11のみが動作すると共に、逆方向のシフトを指示している場合は、レベルシフタ12のみが動作して、レベルシフタ11は動作を停止する。なお、上記レベルシフタ11・12が特許請求の範囲に記載の制御手段およびレベルシフタに対応する。

【0051】上記構成において、切替信号L/Rが順方向シフトを指示している場合、レベルシフタ11が開始信号SPを昇圧して、フリップフロップ F_1 へ入力する。一方、各フリップフロップ $F_1 \sim F_n$ は、前段、すなわち、左(または上)側に隣接する回路の出力信号を、クロック信号CKに同期して、各段の出力信号 S_1

～ S_n として出力すると共に、次段、すなわち、右（または下）側に隣接する回路へ出力する。これにより、開始信号SPは、1クロック毎に順方向へ伝送され、各フリップフロップ $F_1 \sim F_n$ は、左（または上）側に隣接する回路、すなわち、レベルシフト11およびフリップフロップ $F_1 \sim F_{(n-1)}$ の出力信号よりも1クロック遅れて、出力信号 $S_1 \sim S_n$ を出力する。また、この状態では、レベルシフト12は、切替信号の反転信号L/Rに基づいて動作を停止している。

【0052】これとは逆に、切替信号L/Rが逆方向シフトを示している場合、レベルシフト11は、動作を停止し、レベルシフト12が動作を開始する。この状態で、開始信号SPが印加されると、レベルシフト12は、開始信号SPを昇圧して、フリップフロップ F_n へ入力し、各フリップフロップ $F_n \sim F_1$ は、右（または下）側に隣接する回路の出力信号を、クロック信号CKに同期して左（または上）側に隣接する回路へ出力する。これにより、開始信号SPは、1クロック毎に逆方向へ伝送され、各フリップフロップ $F_1 \sim F_n$ は、右（または上）側に隣接する回路、すなわち、フリップフロップ $F_2 \sim F_n$ およびレベルシフト12の出力信号よりも1クロック遅れて、出力信号 $S_1 \sim S_n$ を出力する。

【0053】上記構成では、レベルシフト11・12がシフトレジスタ部2の両側に設けられている。したがって、一方側に設けられたレベルシフトの出力信号をシフトレジスタ部の両端に伝送する場合に比べて、レベルシフト11とフリップフロップ F_1 との間、および、レベルシフト12とフリップフロップ F_n との間を、いずれも短く設定でき、各レベルシフト11（12）の負荷容量を大幅に削減できる。また、開始信号SP自体を両レベルシフト11（12）へ伝送した後で昇圧するので、レベルシフト後の開始信号を伝送する場合よりも、シフトレジスタ部2の両端間を伝送される信号の振幅が小さくなる。これらの結果、例えば、レベルシフト11（12）を多結晶シリコン薄膜トランジスタで構成した場合のように、レベルシフト11（12）の駆動能力が低く、かつ、シフトレジスタ部2の段数が多い場合であっても、バッファ回路を設けずに、フリップフロップ F_1 （ F_n ）を駆動でき、シフトレジスタ1の消費電力を削減できる。

【0054】さらに、本実施形態では、シフト方向に応じて、両レベルシフト11・12のうち、シフトレジスタ部2の入力側のみを動作させ、出力側を停止させている。この結果、双方が常時動作する場合に比べて、シフトレジスタ1の消費電力をさらに低減できる。

【0055】ここで、開始信号SPの振幅が入力段のトランジスタのしきい値を下回った場合、開始信号SPによってトランジスタをオン／オフする電圧駆動型のレベルシフトは、動作できなくなるので、レベルシフト11

・12として、電流駆動型のレベルシフトが使用される。当該電流駆動型のレベルシフトは、後述するように、トランジスタ特性が低い場合や、高速駆動が要求される場合であっても動作できる一方で、動作中は、常時、電流が流れているため、上記電圧駆動型のレベルシフトに比べて電力消費が大きくなってしまふ。したがって、特に、電流駆動型のレベルシフトを使用する場合は、本実施形態のように、一方のレベルシフト11（12）を停止させる方が望ましい。

【0056】なお、電圧駆動型のレベルシフトを使用する場合であっても、少なくとも出力が変化する際には電力を消費するので、一方のレベルシフト11（12）を停止させる方がよい。

【0057】〔第2の実施形態〕本実施形態では、上記レベルシフト11（12）の動作を停止させる方法の一例として、レベルシフト11（12）への電力供給を停止する場合について説明する。すなわち、本実施形態に係るシフトレジスタ1aでは、図4に示すように、レベルシフト11への電力供給を制御する電源供給制御部13と、レベルシフト12への電力供給を制御する電源供給制御部14とが設けられている。なお、本実施形態では、電源供給制御部13および14が特許請求の範囲に記載の制御手段に対応し、レベルシフト11および12がレベルシフトに対応する。

【0058】上記電源供給制御部13は、切替信号L/Rが順方向を示している場合にのみ、レベルシフト11へ電力を供給し、逆方向を示している場合には、電力供給を中止して、レベルシフト11を停止させる。同様に、電源供給制御部14は、切替信号L/Rが逆方向を示している場合にのみ、レベルシフト12へ電力を供給する。

【0059】上記構成によれば、各レベルシフト11・12には、それぞれが動作している期間にのみ、電力が供給される。したがって、動作を停止している方のレベルシフト11・12では、電力が消費されず、シフトレジスタ1の消費電力を低減できる。

【0060】〔第3の実施形態〕ところで、レベルシフト11（12）は、回路構成や駆動電圧 V_{CC} によって、動作可能な入力電圧範囲（入力ダイナミックレンジ）が決められているため、当該入力ダイナミックレンジ外の入力信号をレベルシフト11（12）へ与えても、レベルシフト11（12）を停止させることができる。

【0061】以下では、レベルシフト11（12）への入力する信号レベルを制御して、レベルシフト11（12）を停止させる場合の一例として、上記入力ダイナミックレンジに接地レベルが含まれていない場合について、図5に基づいて説明する。

【0062】すなわち、本実施形態に係るシフトレジスタ1bには、開始信号SPおよび接地レベルの一方を選択して、レベルシフト11へ入力する入力切替回路15

と、両者の一方を選択して、レベルシフト 12 へ入力する入力切替回路 16 とが設けられている。入力切替回路 15 は、一端に開始信号 SP が印加され、他端がレベルシフト 11 の入力に接続されると共に、切替信号 L/R が順方向を示す場合に導通する MOS トランジスタ 15a と、レベルシフト 11 の入力と接地レベルとの間に設けられ、切替信号 L/R が逆方向を示す場合に導通する MOS トランジスタ 15b とを備えている。同様に、入力切替回路 16 には、切替信号 L/R が逆方向を示す場合に導通して、開始信号 SP をレベルシフト 12 へ印加する N 型の MOS トランジスタ 16a と、順方向を示す場合に導通して、レベルシフト 12 の入力を接地させる MOS トランジスタ 16b とが設けられている。

【0063】なお、本実施形態では、上記入力切替回路 15 および 16 が特許請求の範囲に記載の制御手段に対応し、レベルシフト 11 および 12 がレベルシフト部に対応する。

【0064】本実施形態では、上記各 MOS トランジスタ 15a ~ 16b が N 型であり、切替信号 L/R がハイレベルの場合、順方向を示している。したがって、MOS トランジスタ 15a のゲートには、切替信号 L/R が印加され、MOS トランジスタ 16a のゲートには、インバータ 3 の出力信号が印加される。また、MOS トランジスタ 15b のゲートには、切替信号の反転信号 L/Rバーが印加され、MOS トランジスタ 16b のゲートには、反転信号 L/Rバーがインバータ 4 にて反転された後、印加される。

【0065】上記構成によれば、切替信号 L/R が順方向を示している場合、レベルシフト 11 には、開始信号 SP が印加され、レベルシフト 12 の入力は接地される。ここで、レベルシフト 12 の入力ダイナミックレンジには、接地レベルが含まれていないので、レベルシフト 12 が停止する。これにより、レベルシフト 11 のみを動作させることができる。これとは逆に、切替信号 L/R が逆方向を示している場合は、レベルシフト 11 に入力ダイナミックレンジ外の入力を与えられ、レベルシフト 12 のみが動作する。

【0066】なお、レベルシフト 11 (12) の停止時に入力切替回路 15 (16) が出力する電圧は、レベルシフト 11 (12) の入力ダイナミックレンジ外の電圧であればよいが、後述するように、レベルシフト 11

(12) が電流駆動型の場合は、レベルシフト 11 (12) の入力段のトランジスタが遮断される電圧、すなわち、貫通電流が流れない電圧に設定する方が、貫通電流に起因する電力消費を削減でき、より低消費電力なシフトレジスタ 1b を実現できる。

【0067】〔第 4 の実施形態〕ところで、上記第 1 ないし第 3 の実施形態では、レベルシフト 11 (12) は、直接、フリップフロップ F_1 (F_n) に接続されているため、動作停止時に、レベルシフト 11 (12) の

出力信号が不定となり、フリップフロップ F_1 (F_n) が誤動作する虞れがある。

【0068】これに対して、本実施形態に係るシフトレジスタ 1c では、図 6 に示すように、レベルシフト 11 (12) に、動作停止時の出力電圧を安定させるための出力安定回路 (出力安定手段) 17 (18) が設けられている。なお、出力安定回路 17 (18) は、いずれのシフトレジスタ 1 (1a ~ 1c) に設けることもできるが、以下では、図 1 に示すシフトレジスタ 1 に設けた場合について説明する。

【0069】具体的には、本実施形態に係る出力安定回路 17 は、レベルシフト 11 の出力と接地レベルとの間に設けられ、ゲートに印加される切替信号 L/R が逆方向を示している場合に導通する N 型の MOS トランジスタから構成されている。同様に、出力安定回路 18 は、レベルシフト 12 の出力と接地レベルとの間に設けられた N 型の MOS トランジスタから構成され、切替信号 L/R が順方向を示している場合に導通する。なお、この例では、切替信号 L/R がハイレベルの場合、順方向を示しているため、出力安定回路 17 において、MOS トランジスタのゲートにインバータ 3 の出力信号が印加され、出力安定回路 18 において、MOS トランジスタのゲートに切替信号 L/R が印加されている。

【0070】上記構成によれば、レベルシフト 11 (12) が停止している間、出力安定回路 17 (18) の MOS トランジスタが導通して、レベルシフト 11 (12) の出力を接地レベルへと低下させる。この結果、停止中のレベルシフト 11 (12) の出力電圧が不定の場合とは異なり、当該レベルシフト 11 (12) に接続されたフリップフロップ F_1 (F_n) の誤動作を防止でき、より安定したシフトレジスタ 1c を実現できる。

【0071】〔第 5 の実施形態〕本実施形態では、上記シフトレジスタ 1 (1a ~ 1c) の具体例として、電流駆動型のレベルシフト 11 (12) と、電源供給制御部 13 (14) と、入力切替回路 15 (16) と、出力安定回路 17 (18) とを全て備えた場合について、図 7 に示す回路図を参照して説明する。なお、同図では、レベルシフト 11 に関連する部材 (11・13・15・17) のみを例示している。

【0072】具体的には、本実施形態に係るレベルシフト 11 は、電流駆動型のレベルシフトであり、入力段の差動入力対として、ソースが互いに接続された P 型の MOS トランジスタ P1・P2 と、両トランジスタ P1・P2 のソースへ所定の電流を供給する定電流源 I1 と、カレントミラー回路を構成し、両トランジスタ P1・P2 の能動負荷となる N 型の MOS トランジスタ N3・N4 と、差動入力対の出力を増幅する CMOS 構造のトランジスタ P11・N12 とを備えている。

【0073】上記トランジスタ P1 のゲートには、後述するトランジスタ N31 を介して、開始信号 SP が入力

され、トランジスタP2のゲートには、後述するトランジスタN33を介して、開始信号の反転信号SPバーが入力される。また、トランジスタN3・N4のゲートは、互いに接続され、さらに、上記トランジスタP1・N3のドレインに接続されている。一方、互いに接続されたトランジスタP2・N4のドレインは、上記トランジスタP11・N12のゲートに接続される。なお、トランジスタN3・N4のソースは、上記電源供給制御部13としてのN型のMOSトランジスタN21を介して接地される。

【0074】一方、入力切替回路15には、開始信号SPと上記トランジスタP1のゲートとの間に設けられたN型のMOSトランジスタN31と、トランジスタP1のゲートと駆動電圧V_{CC}との間に設けられたP型のMOSトランジスタP32とが設けられている。同様に、上記トランジスタP2のゲートには、トランジスタN33を介して、開始信号の反転信号SPバーが印加され、トランジスタP34を介して、駆動電圧V_{CC}が与えられる。

【0075】さらに、本実施形態に係る出力安定回路17は、レベルシフタ11の停止時の出力電圧を駆動電圧V_{CC}に安定させる構成であり、駆動電圧V_{CC}と上記両トランジスタP11・N12のゲートとの間に、P型のMOSトランジスタP41を備えている。

【0076】本実施形態では、切替信号L/Rは、ハイレベルの場合、順方向を示し、レベルシフタ11が動作するように設定されている。したがって、上記各トランジスタN21～P41のゲートには、切替信号L/Rが印加される。

【0077】上記構成において、切替信号L/Rが順方向を示している場合（ハイレベルの場合）、トランジスタN21・N31・N33が導通し、トランジスタP32・P34・P41が遮断される。この状態では、定電流源I1の電流は、トランジスタP1およびN3、あるいは、トランジスタP2およびN4を介した後、さらに、トランジスタN21を介して流れる。また、両トランジスタP1・P2のゲートには、開始信号SP、あるいは、開始信号の反転信号SPバーが印加される。この結果、両トランジスタP1・P2には、それぞれのゲートソース間電圧の比率に応じた量の電圧が流れる。一方、トランジスタN3・N4は、能動負荷として働くので、トランジスタP2・N4の接続点の電圧は、両信号SP・SPバーの電圧レベルの差に応じた電圧となる。当該電圧は、CMOSのトランジスタP11・N12のゲート電圧となり、両トランジスタP11・N12で電力増幅された後、出力電圧OUTとして出力される。

【0078】上記レベルシフタ11は、開始信号SPによって、入力段のトランジスタP1・P2の導通/遮断を切り換える構成、すなわち、電圧駆動型とは異なり、動作中、入力段のトランジスタP1・P2が常時導通す

る電圧駆動型であり、両トランジスタP1・P2のゲートソース間電圧の比率に応じて、定電流源I1の電流を分流することによって、開始信号SPをレベルシフトする。これにより、開始信号SPの振幅が入力段のトランジスタP1・P2のしきい値よりも低い場合であっても、何ら支障なく、開始信号SPをレベルシフトできる。

【0079】この結果、図8に示すように、レベルシフタ11は、切替信号L/Rがハイレベルの間、波高値が駆動電圧V_{CC}よりも低い値（例えば、5[V]程度）の開始信号SPと同一形状で、波高値が駆動電圧V_{CC}（例えば、15[V]程度）に昇圧された出力電圧OUTを出力できる。

【0080】これとは逆に、切替信号L/Rが逆方向を示している場合（ローレベルの場合）、定電流源I1から、トランジスタP1およびN3、あるいは、トランジスタP2およびN4を介して流れる電流は、トランジスタN21によって遮断される。この状態では、定電流源I1からの電流供給がトランジスタN21にて阻止されるため、当該電流に起因する消費電力を削減できる。また、この状態では、両トランジスタP1・P2へ電流が供給されないため、両トランジスタP1・P2は、差動入力対として動作することができず、出力端、すなわち、両トランジスタP2・N4の接続点の電位を決定できなくなる。

【0081】さらに、この状態では、入力切替回路15のトランジスタN31・N33が遮断され、トランジスタP32・P34が導通している。この結果、両トランジスタP1・P2のゲート電圧は、いずれも駆動電圧V_{CC}となり、両トランジスタP1・P2が遮断される。これにより、トランジスタN21を遮断する場合と同様に、定電流源I1が出力する電流分だけ、消費電流を低減できる。また、この状態では、両トランジスタP1・P2は、差動入力対として動作することができなくなり、上記出力端の電位を決定できなくなる。

【0082】加えて、切替信号L/Rが逆方向を示している場合には、さらに、出力安定回路17のトランジスタP41が導通する。この結果、上記出力端、すなわち、CMOSのトランジスタP11・N12のゲート電位は、駆動電圧V_{CC}となり、出力電圧OUTがローレベルとなる。この結果、図8に示すように、切替信号L/Rが逆方向を示している場合、レベルシフタ11の出力電圧OUTは、開始信号SPに拘わらず、ローレベルのまま保たれる。

【0083】ここで、図7では、レベルシフタ11に関連する部材を例示したが、レベルシフタ12に関連する部材（12・14・16・18）では、切替信号L/Rに代えて、例えば、インバータ3の出力信号など、切替信号の反転信号L/Rバーが印加される。また、同図では、電源供給制御部13、入力切替回路15および出力

安定回路17を全て備えた場合を例にして説明したが、電源供給制御部13(14)を削除する場合には、トランジスタN21を削除して、トランジスタN3・N4のソースを接地すればよい。また、入力切替回路15(16)を削除する場合には、トランジスタN31~P34を削除して、開始信号SPをトランジスタP1のゲートへ印加し、開始信号の反転信号SPバーをトランジスタP2のゲートに印加すればよい。さらに、トランジスタP41を削除すれば、出力安定回路17(18)を削除したレベルシフタを構成できる。

【0084】なお、上記第1ないし第5の実施形態では、シフトレジスタの適用例として、画像表示装置を例にして説明したが、双方向シフトが必要で、入力信号の振幅がシフトレジスタの駆動電圧よりも低い入力信号が与えられる用途であれば、本発明に係る双方向シフトレジスタを広く適用できる。ただし、画像表示装置では、解像度の向上と表示面積の拡大とが強く求められているため、シフトレジスタの段数が多く、かつ、レベルシフタの駆動能力を十分に確保できないことが多い。したがって、画像表示装置の駆動回路に適用した場合は、特に効果的である。

【0085】

【発明の効果】本発明に係る双方向シフトレジスタは、以上のように、双方向のシフトレジスタとして動作する複数段のフリップフロップの両端に、上記入力信号を昇圧するレベルシフタを備えている構成である。

【0086】上記構成では、複数段のフリップフロップの両端にレベルシフタが設けられているので、各レベルシフタからフリップフロップへの距離を短縮できる。この結果、レベルシフト後の信号の伝送距離を短縮できるので、レベルシフタとフリップフロップとの間のバッファを削除でき、双方向シフトレジスタの消費電力を削減できるという効果を奏する。

【0087】本発明に係る双方向シフトレジスタは、以上のように、上記構成に加えて、さらに、上記切替信号に応じて、上記両レベルシフタのうち、シフト方向の最後尾側のレベルシフタを停止させる制御手段を備えている構成である。

【0088】当該構成によれば、双方向シフトレジスタによる入力信号のシフトを阻害することなく、一方のレベルシフタを停止させることができるので、双方が動作する場合よりも消費電力を削減できるという効果を奏する。

【0089】本発明に係る双方向シフトレジスタは、以上のように、上記構成において、上記各レベルシフタは、動作中、入力信号を印加する入力スイッチング素子が常時導通する電流駆動型のレベルシフト部を含んでいる構成である。

【0090】当該構成によれば、レベルシフタの一方では、入力スイッチング素子が常時導通して、入力信号を

レベルシフトすると共に、他方は、動作を停止する。これにより、入力信号の振幅が入力スイッチング素子のしきい値電圧よりも低い場合でもレベルシフト可能で、かつ、消費電力が少ない双方向シフトレジスタを実現できるという効果を奏する。

【0091】本発明に係る双方向シフトレジスタは、以上のように、上記構成において、上記制御手段は、上記各レベルシフト部への入力信号として、上記入力スイッチング素子が遮断するレベルの信号を与えることによって、当該レベルシフタを停止させる構成である。

【0092】当該構成によれば、制御手段が入力信号のレベルを制御して入力スイッチング素子を遮断することで、レベルシフタの動作を停止する。これにより、制御手段は、レベルシフタを停止できると共に、停止中、入力スイッチング素子に流れる電流の分だけ、消費電力を低減できるという効果を奏する。

【0093】本発明に係る双方向シフトレジスタは、以上のように、上記制御手段を有する各構成において、上記制御手段は、上記各レベルシフタへの電力供給を停止して、当該レベルシフタを停止させる構成である。

【0094】当該構成によれば、制御手段は、各レベルシフタへの電力供給を停止して、当該レベルシフタを停止させる。これにより、制御手段は、レベルシフタを停止できると共に、動作中にレベルシフタで消費する電力の分だけ、消費電力を低減できるという効果を奏する。

【0095】本発明に係る双方向シフトレジスタは、以上のように、上述の各構成において、上記各レベルシフタは、停止時に、予め定められた値に出力電圧を保つ出力安定手段を備えている構成である。

【0096】当該構成によれば、レベルシフタが停止している間、当該レベルシフタの出力電圧は、出力安定手段によって所定の値に保たれる。この結果、フリップフロップの誤動作を防止でき、より安定した双方向シフトレジスタを実現できるという効果を奏する。

【0097】本発明に係る画像表示装置は、以上のように、第1クロック信号に同期して動作する走査信号線駆動回路、および、第2クロック信号に同期して動作するデータ信号線駆動回路の少なくとも一方は、上記第1あるいは第2クロック信号を上記クロック信号とする上述のいずれかの構成の双方向シフトレジスタを備えている構成である。

【0098】当該構成では、データ信号線駆動回路および走査信号線駆動回路の少なくとも一方に、上記各構成の双方向シフトレジスタを備えているので、鏡像表示が可能で、かつ、消費電力の少ない画像表示装置を実現できるという効果を奏する。

【0099】本発明に係る画像表示装置は、以上のように、上記構成において、上記データ信号線駆動回路、走査信号線駆動回路および各画素は、互いに同一の基板上に形成されている構成である。

【0100】当該構成によれば、データ信号線駆動回路、走査信号線駆動回路および各画素は、互いに同一の基板上に形成されているので、製造時の手間や各信号線の容量を削減でき、より低消費電力の画像表示装置を実現できるという効果を奏する。

【0101】本発明に係る画像表示装置は、以上のように、上述の各構成において、上記データ信号線駆動回路、走査信号線駆動回路および各画素は、多結晶シリコン薄膜トランジスタからなるスイッチング素子を含んでいる構成である。

【0102】当該構成では、上記データ信号線駆動回路、走査信号線駆動回路および各画素は、いずれも、多結晶シリコン薄膜トランジスタからなるスイッチング素子を含んでいる。また、上記構成の双方向シフトレジスタは、十分な駆動能力の確保が困難な多結晶シリコン薄膜トランジスタで形成されていても、何ら支障なくレベルシフト後の入力信号をフリップフロップの両端へ印加できる。この結果、消費電力が少なく、かつ、表示面積の広い画像表示装置を実現できるという効果を奏する。

【0103】本発明に係る画像表示装置は、以上のように、上述の各構成において、上記データ信号線駆動回路、走査信号線駆動回路および各画素は、600度以下のプロセス温度で製造されたスイッチング素子を含んでいる構成である。

【0104】当該構成によれば、スイッチング素子のプロセス温度が600度以下に設定されるので、各スイッチング素子の基板として、通常のガラス基板（歪み点が600度以下のガラス基板）を使用できる。この結果、実装がさらに容易で、より表示面積の広い画像表示装置を実現できるという効果を奏する。

【図面の簡単な説明】

【図1】本発明の一実施形態を示すものであり、双方向

シフトレジスタの要部構成を示すブロック図である。

【図2】上記双方向シフトレジスタを用いた画像表示装置の要部構成を示すブロック図である。

【図3】上記画像表示装置において、画素の構成例を示す回路図である。

【図4】本発明の他の実施形態を示すものであり、双方向シフトレジスタの要部構成を示すブロック図である。

【図5】本発明のさらに他の実施形態を示すものであり、双方向シフトレジスタの要部構成を示すブロック図である。

【図6】本発明のまた別の実施形態を示すものであり、双方向シフトレジスタの要部構成を示すブロック図である。

【図7】上記各双方向シフトレジスタにおいて、レベルシフトの構成例を示す回路図である。

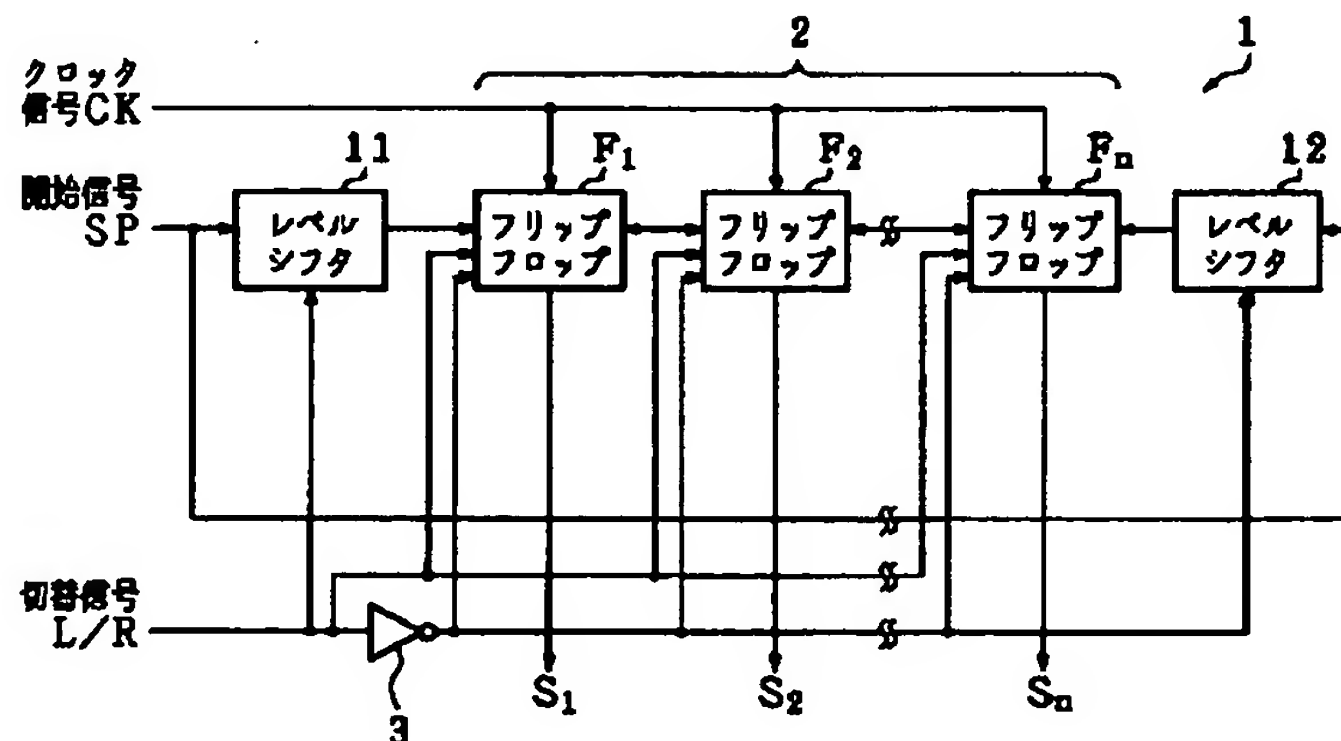
【図8】上記レベルシフトの動作を示す波形図である。

【図9】従来技術を示すものであり、双方向シフトレジスタの要部構成を示すブロック図である。

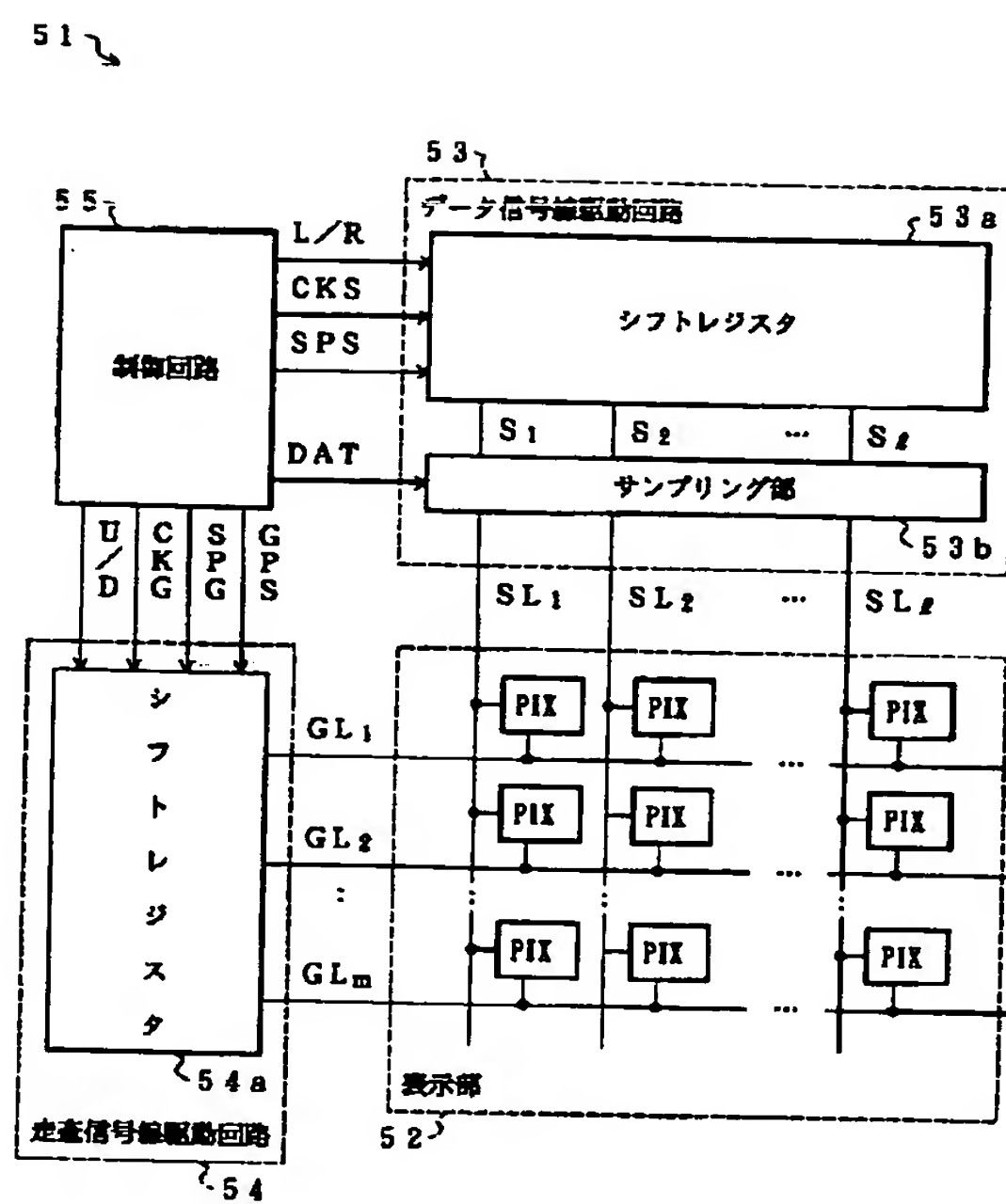
【符号の説明】

- | | |
|----------------|----------------------|
| 1・1a～1d | 双方向のシフトレジスタ |
| 11・12 | レベルシフト（制御手段：レベルシフト部） |
| 13・14 | 電源供給制御部（制御手段） |
| 15・16 | 入力切替回路（制御手段） |
| 17・18 | 出力安定回路（出力安定手段） |
| 51 | 画像表示装置 |
| 53 | データ信号線駆動回路 |
| 54 | 走査信号線駆動回路 |
| $F_1 \sim F_n$ | フリップフロップ |
| PIX | 画素 |
| SW | 電界効果トランジスタ（スイッチング素子） |

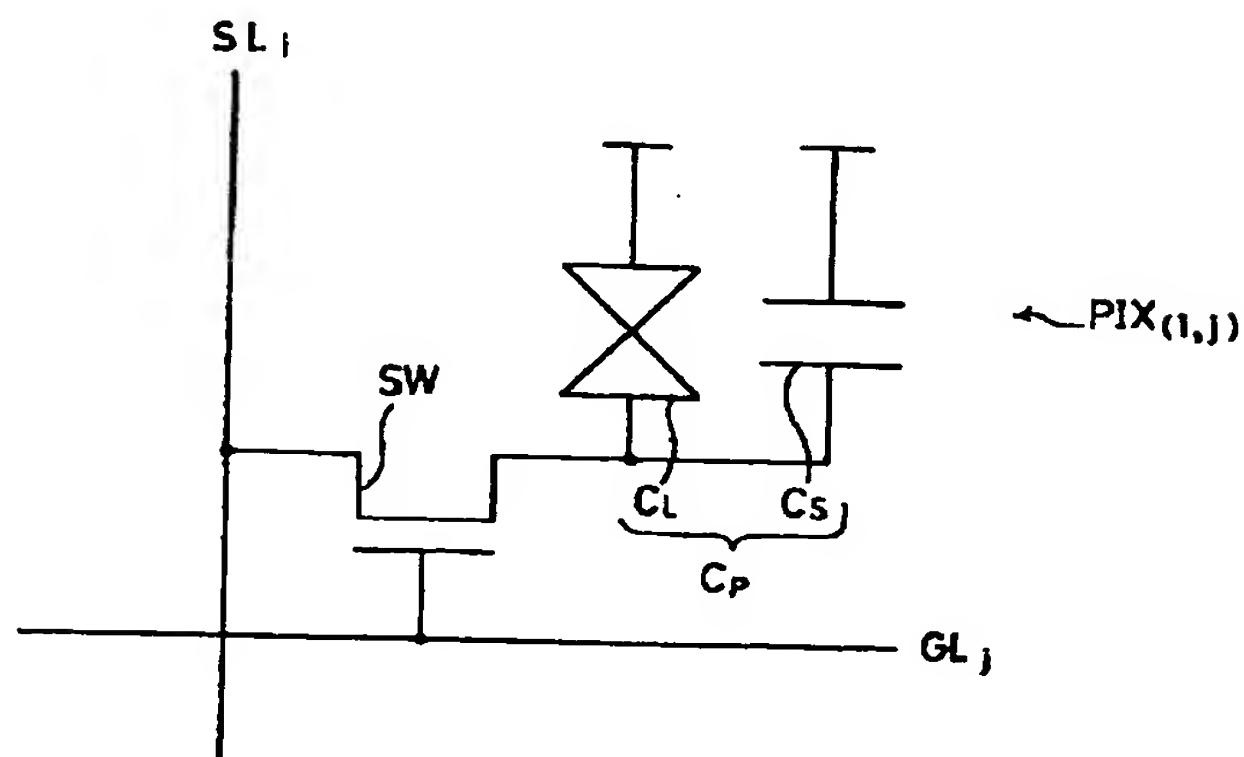
【図1】



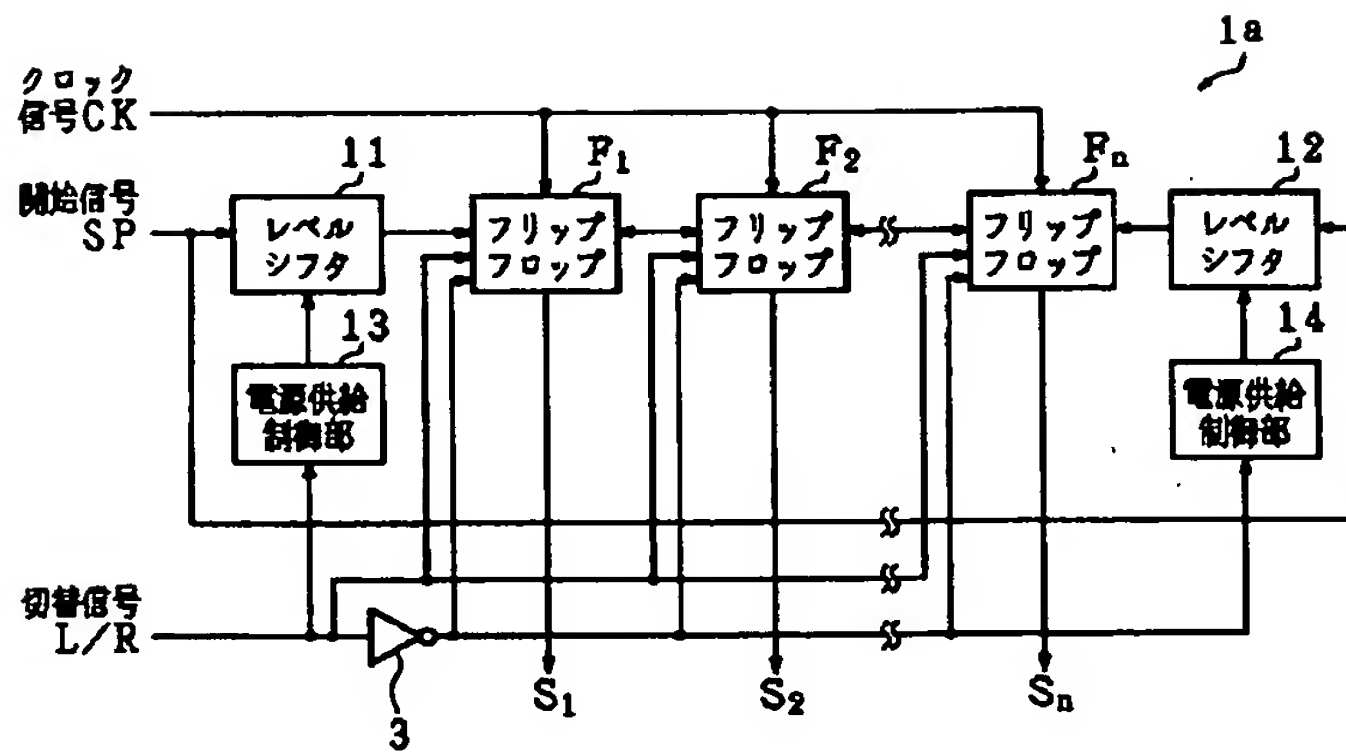
【図2】



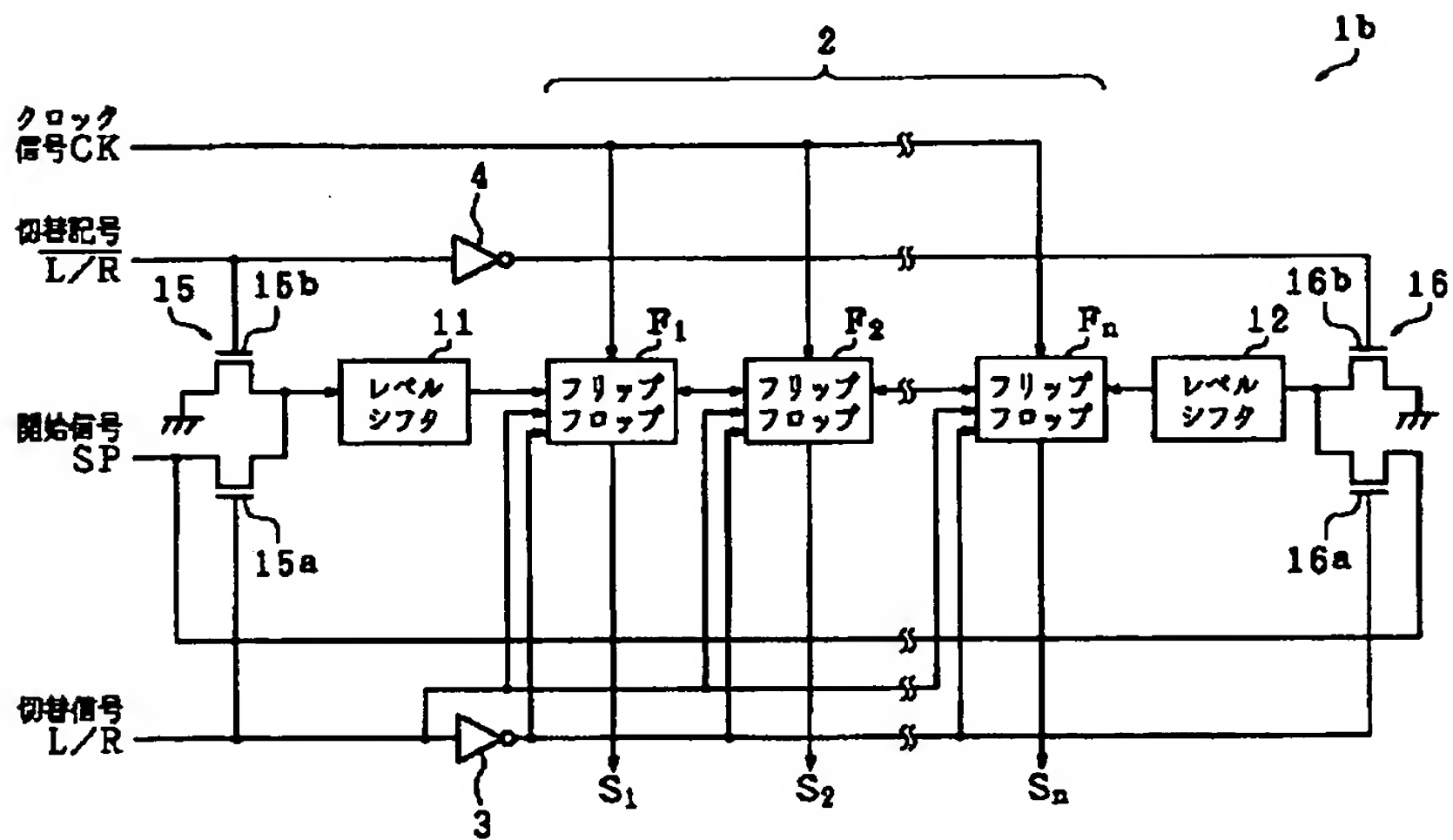
【図3】



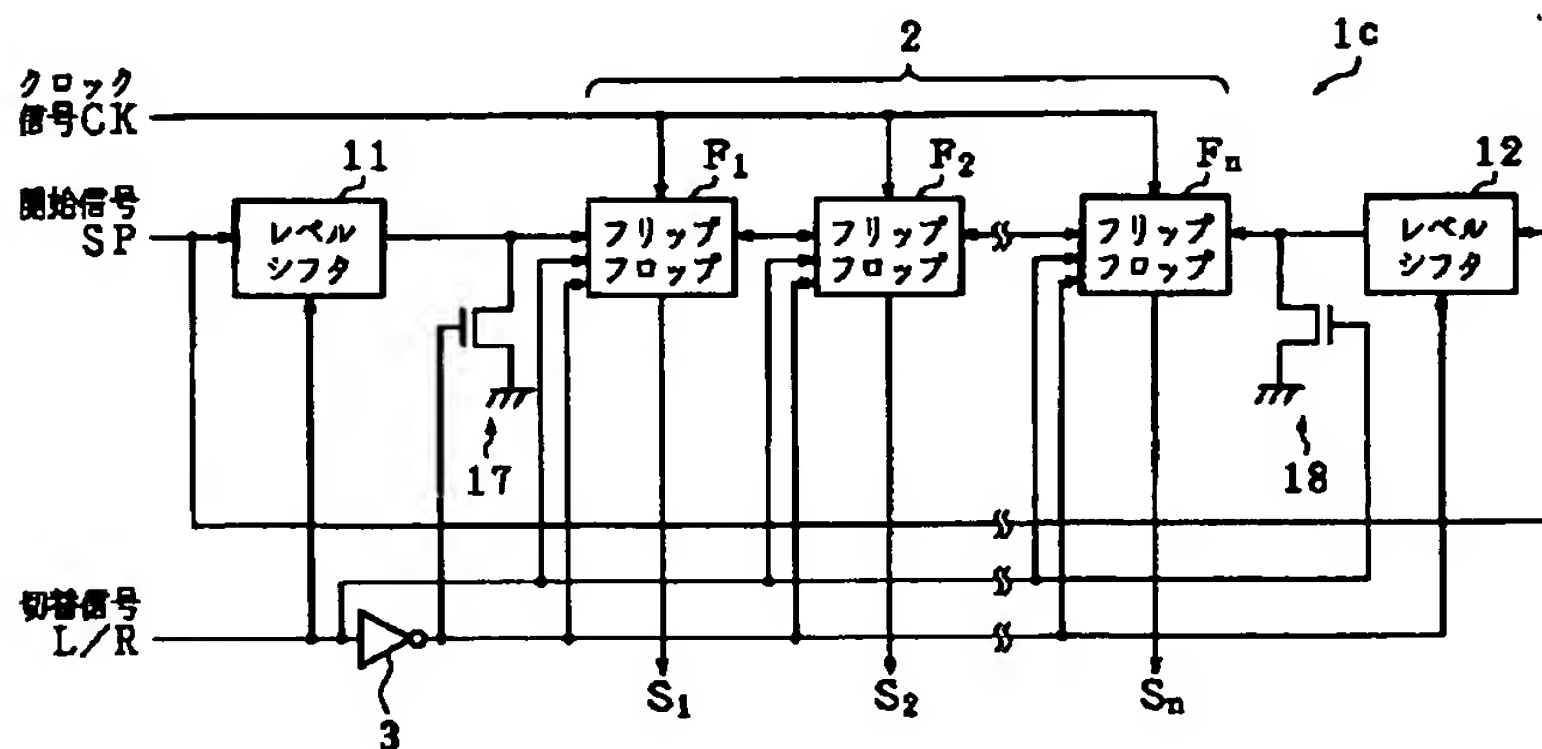
【図 4】



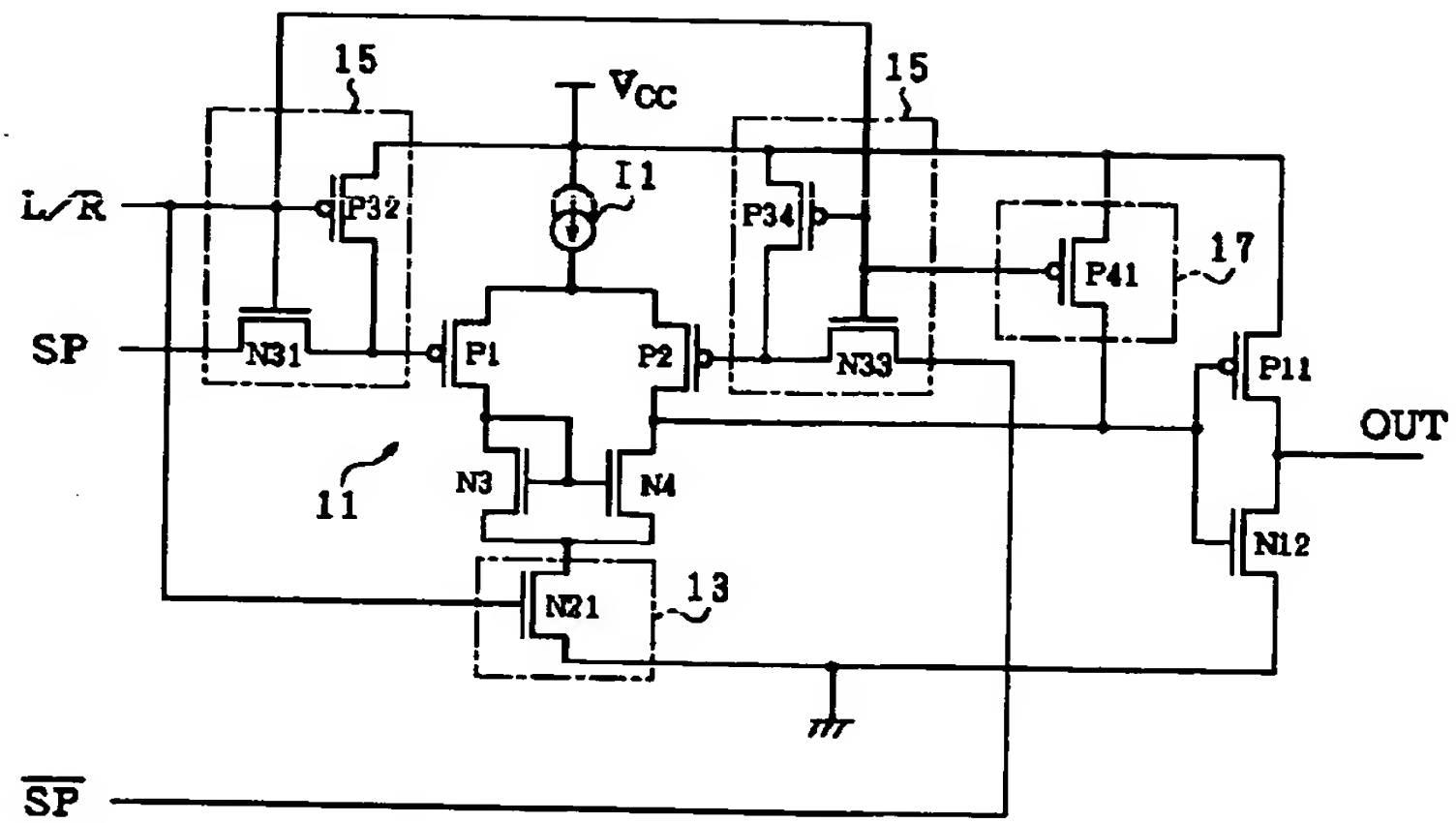
【図 5】



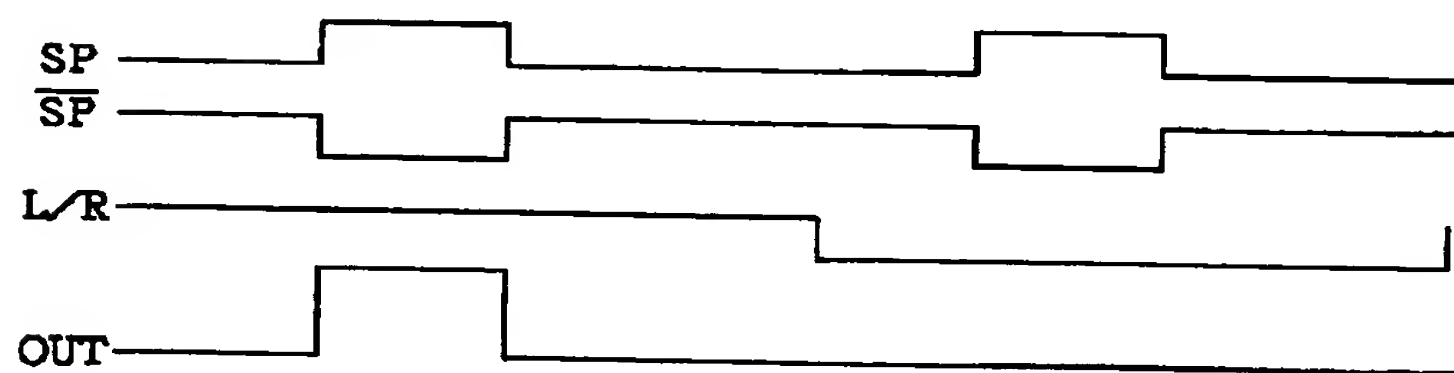
【図 6】



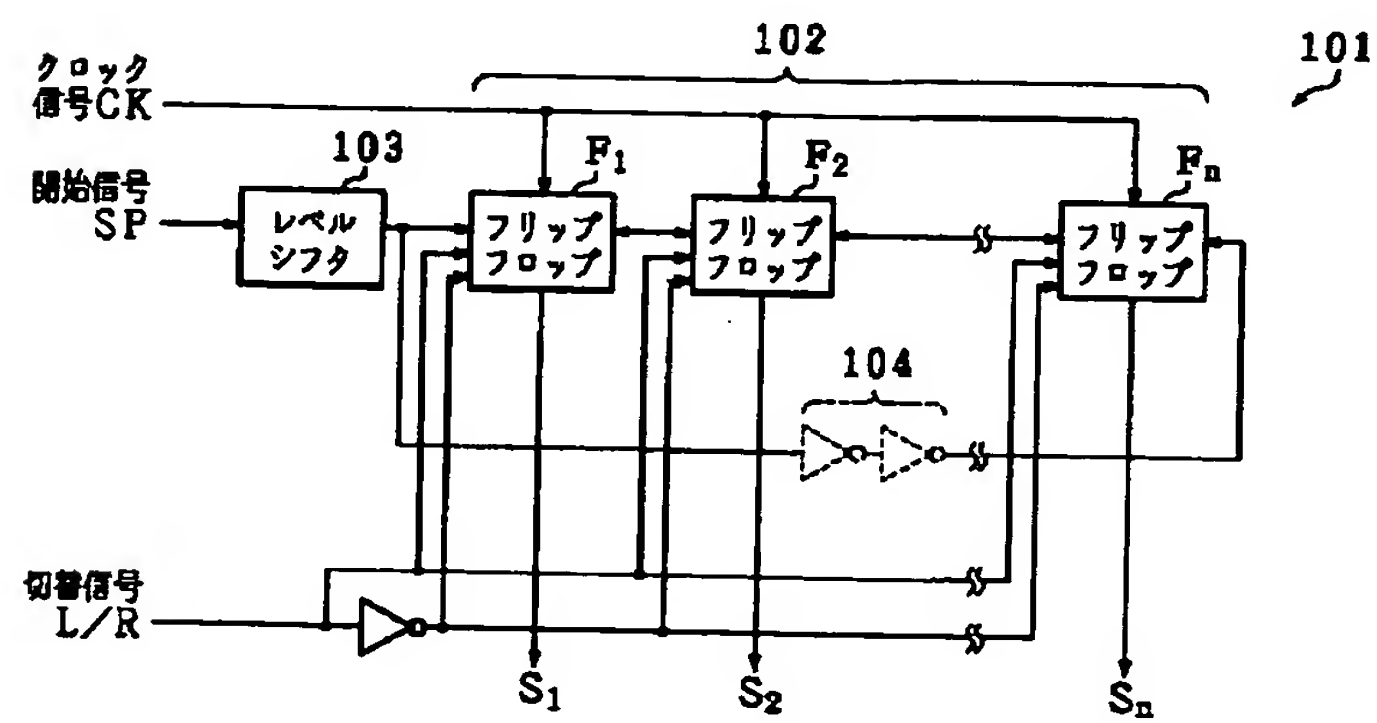
【図7】



【図8】



【図9】



フロントページの続き

(72)発明者 鷺尾 一
大阪府大阪市阿倍野区長池町22番22号 シ
ヤープ株式会社内
(72)発明者 前田 和宏
大阪府大阪市阿倍野区長池町22番22号 シ
ヤープ株式会社内

(72)発明者 マイケル ジェームス ブラウンロー
イギリス国 オーエックス4 4ワイビー
オックスフォード、サンドフォード オ
ン テムズ、チャーチ ロード 124
(72)発明者 グレアム アンドリュー カーンズ
イギリス国 オーエックス2 8エヌエイ
チ オックスフォード カッテスロウ、ボ
ーン クローズ22

Fターム(参考) 5C080 AA10 BB05 DD24 DD26 EE29
FF11 GG12 JJ02 JJ03 JJ04

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第2区分

【発行日】平成14年7月10日(2002.7.10)

【公開番号】特開2000-322020(P2000-322020A)

【公開日】平成12年11月24日(2000.11.24)

【年通号数】公開特許公報12-3221

【出願番号】特願平11-134664

【国際特許分類第7版】

G09G 3/20 623

622

G11C 19/00

【FI】

G09G 3/20 623 H

622 E

G11C 19/00 C

【手続補正書】

【提出日】平成14年3月28日(2002.3.28)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】 クロック信号に同期して動作する複数段のフリップフロップを有し、切替信号に応じてシフト方向を双方向に切替え可能で、かつ、入力信号の振幅が駆動電圧よりも小さな双方向シフトレジスタにおいて、上記複数段のフリップフロップの両端に、上記入力信号を昇圧するレベルシフトを備えていることを特徴とする双方向シフトレジスタ。

【請求項2】 さらに、上記切替信号に応じて、上記両レベルシフトのうち、シフト方向の最後尾側のレベルシフトを停止させる制御手段を備えていることを特徴とする請求項1記載の双方向シフトレジスタ。

【請求項3】 上記各レベルシフトは、入力スイッチング素子を備えた電流駆動型のレベルシフト部を含んでいることを特徴とする請求項2記載の双方向シフトレジスタ。

【請求項4】 上記制御手段は、上記各レベルシフト部への入力信号として、上記入力スイッチング素子が遮断するレベルの信号を与えることによって、当該レベルシフトを停止させることを特徴とする請求項3記載の双方向シフトレジスタ。

【請求項5】 上記制御手段は、上記各レベルシフトへの電力供給を停止して、当該レベルシフトを停止させることを特徴とする請求項2記載の双方向シフトレジスタ。

【請求項6】 上記各レベルシフトは、出力安定手段を備えていることを特徴とする請求項2、3、4または5記載の双方向シフトレジスタ。

【請求項7】 上記出力安定手段は、レベルシフトの停止時に、予め定められた値に出力電圧を保つことを特徴とする請求項6記載の双方向シフトレジスタ。

【請求項8】 切替信号に基づいて入力側と出力側とを切り替えるとともに、入力側となった一方の端部から出力側となった他方の端部へ、複数のフリップフロップを介して入力信号を順次転送するシフトレジスタ部と、上記シフトレジスタ部の両端部にそれぞれ隣接して設けられ、信号を昇圧して該シフトレジスタ部に出力するレベルシフトを含む双方向シフトレジスタ。

【請求項9】 上記レベルシフトのうち、出力側となった端部に隣接するレベルシフトは動作を停止することを特徴とする請求項8記載の双方向シフトレジスタ。

【請求項10】 停止中のレベルシフトの出力電圧を一定に保つ出力安定回路をさらに含むことを特徴とする請求項9記載の双方向シフトレジスタ。

【請求項11】 出力側となった端部に隣接するレベルシフトに対する電力供給を中止し、該レベルシフトの動作を停止させる電源供給制御部をさらに含むことを特徴とする請求項8記載の双方向シフトレジスタ。

【請求項12】 信号のレベルを変化させて、出力側となった端部に隣接するレベルシフトの動作を停止させるレベルの電圧を作成し、該電圧を該レベルシフトに与える入力切替回路をさらに含むことを特徴とする請求項8記載の双方向シフトレジスタ。

【請求項13】 各レベルシフトは電圧駆動型であって、上記電圧は、上記レベルシフトの動作可能な入力電圧範囲外の電圧であることを特徴とする請求項12に記載の

双方向シフトレジスタ。

【請求項 14】 各レベルシフタは電流駆動型であつて、
上記電圧は、上記レベルシフタの入力段のスイッチング
素子を遮断する電圧であることを特徴とする請求項 12
に記載の双方向シフトレジスタ。

【請求項 15】 マトリクス状に配された複数の画素と、
上記各画素の各行に配置された複数のデータ信号線と、
上記各画素の各列に配置された複数の走査信号線と、
予め定められた周期の第 1 クロック信号に同期して、互
いに異なるタイミングの走査信号を上記各走査信号線へ
順次与える走査信号線駆動回路と、
予め定められた周期の第 2 クロック信号に同期して順次
与えられ、かつ、上記各画素の表示状態を示す映像信号
から、上記走査信号が与えられた走査信号線の各画素へ
のデータ信号を抽出して、上記各データ信号線へ出力す
るデータ信号線駆動回路とを有する画像表示装置におい
て、
上記データ信号線駆動回路および走査信号線駆動回路の
少なくとも一方は、上記第 1 あるいは第 2 クロック信号
を上記クロック信号とする請求項 1、2、3、4、5、
6 または 7 記載の双方向シフトレジスタを備えているこ
とを特徴とする画像表示装置。

【請求項 16】 複数のデータ信号線と複数の走査信号
線との交差部分にそれぞれ形成される複数の画素と、
上記複数のデータ信号線を順次駆動するデータ信号線駆
動回路と、
上記複数の走査信号線を順次駆動する走査信号線駆動回
路とを含み、
上記データ信号線駆動回路及び上記走査信号線駆動回路
の少なくとも一方は、請求項 8、9、10、11、1
2、13 または 14 記載の双方向シフトレジスタを有す
ることを特徴とする画像表示装置。

【請求項 17】 上記データ信号線駆動回路、走査信号
線駆動回路および各画素は、互いに同一の基板上に形成
されていることを特徴とする請求項 15 または 16 記載
の画像表示装置。

【請求項 18】 上記データ信号線駆動回路、走査信号
線駆動回路および各画素は、多結晶シリコン薄膜トラン
ジスタからなるスイッチング素子を含んでいることを特
徴とする請求項 15、16 または 17 記載の画像表示装
置。

【請求項 19】 上記データ信号線駆動回路、走査信号
線駆動回路および各画素は、600 度以下のプロセス温
度で製造されたスイッチング素子を含んでいることを特
徴とする請求項 15、16、17 または 18 記載の画像
表示装置。

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The bidirectional shift register characterized by having the level shifter to which it has two or more steps of flip-flops which operate synchronizing with a clock signal, and the amplitude of an input signal carries out the pressure up of the above-mentioned input signal for the shift direction to the both ends of the flip-flop of the above-mentioned two or more stages in a bidirectional shift register smaller than driver voltage according to a change signal that it can change bidirectionally.

[Claim 2] Furthermore, the bidirectional shift register according to claim 1 characterized by having the control means which stops the level shifter by the side of the tail end of the shift direction among both the above-mentioned level shifters according to the above-mentioned change signal.

[Claim 3] Each above-mentioned level shifter is a bidirectional shift register according to claim 2 characterized by including the level shift section of a current drive mold through which the input switching element which impresses working and an input signal always flows.

[Claim 4] The above-mentioned control means is a bidirectional shift register according to claim 3 characterized by stopping the level shifter concerned by giving the signal of the level which the above-mentioned input switching element intercepts as an input signal to each above-mentioned level shift section.

[Claim 5] The above-mentioned control means is a bidirectional shift register according to claim 2 characterized by stopping the electric power supply to each above-mentioned level shifter, and stopping the level shifter concerned.

[Claim 6] Each above-mentioned level shifter is a bidirectional shift register according to claim 2, 3, 4, or 5 characterized by having the output stability means which maintains output voltage at the value beforehand defined at the time of a halt.

[Claim 7] Two or more pixels allotted in the shape of a matrix, and two or more data signal lines arranged at each line of each above-mentioned pixel, It synchronizes with the 1st clock signal of the period beforehand determined as two or more scan signal lines arranged at each train of each above-mentioned pixel. The scan signal-line drive circuit which gives the scan signal of mutually different timing one by one to each above-mentioned scan signal line, The data signal from the video signal which is given one by one synchronizing with the 2nd clock signal of the period defined beforehand, and shows the display condition of each above-mentioned pixel to each pixel of the scan signal line with which the above-mentioned scan signal was given is extracted. In the image display device which has the data signal line drive circuit outputted to each above-mentioned data signal line either [at least] the above-mentioned data signal line drive circuit or a scan signal-line drive circuit The image display device characterized by having the bidirectional shift register according to claim 1, 2, 3, 4, 5, or 6 which makes the 1st or 2nd clock signal of the above the above-mentioned clock signal.

[Claim 8] The above-mentioned data signal line drive circuit, a scan signal-line drive circuit, and each pixel are an image display device according to claim 7 characterized by being mutually formed on the same substrate.

[Claim 9] The above-mentioned data signal line drive circuit, a scan signal-line drive circuit, and each

pixel are an image display device according to claim 7 or 8 characterized by including the switching element which consists of a polycrystalline silicon thin film transistor.

[Claim 10] The above-mentioned data signal line drive circuit, a scan signal-line drive circuit, and each pixel are an image display device according to claim 7, 8, or 9 characterized by including the switching element manufactured at the process temperature of 600 or less degrees.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention is used suitable for the drive circuit of an image display device etc., and even when the amplitude of an input signal is lower than driver voltage, it relates an input signal to the bidirectional shift register which can be shifted bidirectionally, and the image display device which used it.

[0002]

[Description of the Prior Art] For example, in the data signal line drive circuit of an image display device, or the scan signal-line drive circuit, in order to take the timing at the time of sampling each data signal from a video signal or to create the scan signal given to each scan signal line, the shift register is used widely. Furthermore, in the image display device which can reverse a display or the photography section, since to display the mirror image which reversed the upper and lower sides and right and left according to the sense of a display or the photography section is desired, the bidirectional shift register which can change the shift direction is used as the above-mentioned shift register. In this case, if the shift direction changes, the scanning direction of an image will be reversed. Therefore, a mirror image can be displayed, without memorizing the video signal to each pixel.

[0003] On the other hand, the power consumption of an electronic circuitry becomes large in proportion to a frequency, load-carrying capacity, and the square of an electrical potential difference. In circuits connected to an image display device, such as a circuit which follows, for example, generates the video signal to an image display device, or an image display device, in order to reduce power consumption, driver voltage is in the inclination set up low increasingly.

[0004] for example, in the circuit where a polycrystalline silicon thin film transistor is used like a pixel, and a data signal line drive circuit or a scan signal-line drive circuit in order to secure a large screen product A difference of a threshold electrical potential difference reaching for example, at number [V] extent between substrates or in the same substrate A certain sake, Although it is hard to say that reduction of driver voltage is fully progressing, driver voltage is set as 5 [V], 3.3 [V], or the value not more than it, for example like the generation circuit of the above-mentioned video signal in the circuit using a single crystal silicon transistor in many cases. Therefore, when an input signal lower than the driver voltage of a shift register is impressed, the level shifter which carries out the pressure up of the input signal is prepared in a shift register.

[0005] To the above-mentioned conventional shift register 101, as shown in drawing 9, if the start signal SP of the amplitude of for example, 5 [V] extent is given, specifically, a level shifter 103 will carry out the pressure up of the start signal SP to the driver voltage (15 [V]) of a shift register 101. For the output of a level shifter 103, on the other hand, the shift register section 102 is the flip-flop F1 of an edge. Flip-flop Fn of an another side edge It is impressed to both sides and the shift register section 102 shifts a start signal SP in the direction according to change signal L/R synchronizing with clock signal CK.

[0006]

[Problem(s) to be Solved by the Invention] However, both the flip-flops F1 and Fn after carrying out the level shift of the start signal SP in the above-mentioned conventional shift register 101. Since it is transmitting, they are both the flip-flops F1 and Fn. A transmission distance becomes long and produces the problem that power consumption increases, so that the distance of a between separates.

[0007] Since the capacity of the signal line for transmission specifically becomes large as a transmission distance becomes long, bigger drive capacity is needed for a level shifter 103, and power consumption increases. Furthermore, when the drive capacity of a level shifter 103 is not enough, in order to transmit a wave without distortion like [in case the above-mentioned drive circuit containing a level shifter 103 is formed using a polycrystalline silicon thin film transistor], as a broken line shows among drawing, they are a level shifter 103 and Flip-flop Fn. Since it is necessary to form a buffer 104 in between, further much power consumption is needed.

[0008] recent years -- more -- a display screen -- large -- and -- high -- since the image display device [****] is demanded, it is in the inclination which the number of stages of the shift register section 102 increases increasingly. therefore -- both -- flip-flop F1 -Fn Even if distance increases, the bidirectional shift register with little power consumption and the image display device are called for strongly.

[0009] This invention is made in view of the above-mentioned trouble, and the purpose is to realize a shift register with little power consumption, and the image display device using it while operating normally bidirectionally that it can shift, even when the amplitude of an input signal is low.

[0010]

[Means for Solving the Problem] In order to solve the above-mentioned technical problem, the bidirectional shift register concerning this invention has two or more steps of flip-flops which operate synchronizing with a clock signal, and is characterized by having the level shifter to which the amplitude of an input signal carries out the pressure up of the above-mentioned input signal for the shift direction to the both ends of the flip-flop of the above-mentioned two or more stages in a bidirectional shift register smaller than driver voltage according to a change signal that it can change bidirectionally.

[0011] In the above-mentioned configuration, when the shift direction is specified on the other hand (the 1st direction), after a pressure up is carried out in the level shifter (the 1st level shifter) of the flip-flop of the above-mentioned two or more stages prepared in the edge (the 1st edge) on the other hand, an input signal is impressed to the flip-flop of the 1st edge, and sequential transmission is carried out synchronizing with the above-mentioned clock signal. With this, when the shift direction is conversely specified in the direction (the 2nd direction) contrary to the 1st direction, after a pressure up is carried out to the 1st edge among the flip-flops of the above-mentioned two or more stages in the level shifter (the 2nd level shifter) prepared in the edge (the 2nd edge) of hard flow, an input signal is impressed to the flip-flop of the 2nd edge, and sequential transmission is carried out synchronizing with the above-mentioned clock signal.

[0012] With the above-mentioned configuration, since the 1st and 2nd level shifters are prepared in the both ends of two or more steps of flip-flops, compared with the case where the only level shifter impresses the signal after a level shift to the flip-flop of the 1st and 2nd edges, the distance from each level shifter to a flip-flop can be shortened. Consequently, since the transmission distance of the signal after a level shift can be shortened, the load-carrying capacity of a level shifter can be reduced and drive capacity required for a level shifter can be controlled. Thereby, small [the drive capacity of a level shifter], even if it is the case that the distance between the both ends of a flip-flop is long, it becomes unnecessary to form a buffer in from a level shifter before a flip-flop, and the power consumption of a bidirectional shift register can be reduced.

[0013] It is more desirable to have further the control means which stops the level shifter by the side of the tail end of the shift direction among both the above-mentioned level shifters in the bidirectional shift register of the above-mentioned configuration according to the above-mentioned change signal.

[0014] According to the configuration concerned, when the change signal shows the 1st direction, the 2nd level shifter stops and only the 1st level shifter operates, for example. On the other hand, in the case of the 2nd direction, the 1st level shifter stops, and only the 2nd level shifter operates. Thereby, without checking the shift of the input signal by the bidirectional shift register, one level shifter can be stopped

and power consumption can be reduced rather than the case where both sides operate.

[0015] Furthermore, in the bidirectional shift register of the above-mentioned configuration, each above-mentioned level shifter may contain the level shift section of a current drive mold through which the input switching element which impresses working and an input signal always flows.

[0016] According to the configuration concerned, while the level shifter is operating, the input switching element of a level shifter has always flowed. Therefore, unlike the level shifter of the electrical-potential-difference drive mold which flows through / intercepts an input switching element with the level of an input signal, even if it is the case that the amplitude of an input signal is lower than the threshold electrical potential difference of an input switching element, the level shift of the input signal can be carried out convenient at all.

[0017] Furthermore, although its power consumption is larger than the level shifter of an electrical-potential-difference drive mold since working and an input switching element have flowed through the level shifter of a current drive mold, one side has suspended actuation between two level shifters. Thereby, even when the amplitude of an input signal is lower than the threshold electrical potential difference of an input switching element, a level shift is possible, and a bidirectional shift register with less power consumption than the case where both sides operate to coincidence can be realized.

[0018] Moreover, in the bidirectional shift register of the above-mentioned configuration, the above-mentioned control means may stop the level shifter concerned by giving the signal of the level which the above-mentioned input switching element intercepts as an input signal to each above-mentioned level shift section.

[0019] If according to the configuration concerned the case where an input switching element is an MOS transistor is made into an example as an example, and it explains, for example the input signal of level with which between the drain-source is intercepted will be impressed to the gate when an input signal is impressed at the gate, an input switching element will be intercepted. moreover -- the case where an input signal is impressed to the source -- for example, a drain and abbreviation -- the same input signal is impressed and an input switching element is intercepted.

[0020] If a control means controls the level of an input signal and intercepts an input switching element even if it is which configuration, the level shifter of a current drive mold will suspend actuation.

Thereby, while a control means can stop a level shifter, only the part of a current which flows to an input switching element can reduce power consumption during a halt.

[0021] On the other hand, in each bidirectional shift register of a configuration of having the above-mentioned control means, the above-mentioned control means may stop the electric power supply to each above-mentioned level shifter, and may stop the level shifter concerned.

[0022] According to the configuration concerned, a control means stops the electric power supply to each level shifter, and stops the level shifter concerned. Thereby, while a control means can stop a level shifter, only the part of the power consumed by the level shifter working can reduce power consumption.

[0023] By the way, while the level shifter has suspended actuation, when the output voltage of a level shifter serves as an indeterminate, there is a possibility that actuation of the flip-flop connected to the level shifter concerned may become unstable.

[0024] Therefore, it is more desirable to equip each above-mentioned level shifter with the output stability means which maintains output voltage at the value beforehand defined at the time of a halt in the bidirectional shift register of each above-mentioned configuration.

[0025] According to the configuration concerned, while the level shifter has stopped, the output voltage of the level shifter concerned is maintained at a predetermined value by the output stability means. Consequently, malfunction of the flip-flop resulting from unfixed output voltage can be prevented, and the bidirectional shift register stabilized more can be realized.

[0026] Two or more pixels allotted in the shape of a matrix on the other hand in order that the image display device concerning this invention might solve the above-mentioned technical problem, Two or more data signal lines arranged at each line of each above-mentioned pixel, and two or more scan signal lines arranged at each train of each above-mentioned pixel, The scan signal-line drive circuit which

gives the scan signal of mutually different timing one by one to each above-mentioned scan signal line synchronizing with the 1st clock signal of the period defined beforehand, The data signal from the video signal which is given one by one synchronizing with the 2nd clock signal of the period defined beforehand, and shows the display condition of each above-mentioned pixel to each pixel of the scan signal line with which the above-mentioned scan signal was given is extracted. In the image display device which has the data signal line drive circuit outputted to each above-mentioned data signal line either [at least] the above-mentioned data signal line drive circuit or a scan signal-line drive circuit It is characterized by having the bidirectional shift register of one which makes the 1st or 2nd clock signal of the above the above-mentioned clock signal of above-mentioned configurations.

[0027] Here, in an image display device, the number of the flip-flops for generating the timing for every signal line becomes large, and the distance between the both ends of a flip-flop becomes long as the number of data signal lines or the number of scan signal lines becomes large. However, small [the drive capacity of a level shifter], even if the bidirectional shift register of each above-mentioned configuration is the case that the distance between the both ends of a flip-flop is long, it can reduce buffers and can reduce power consumption. Moreover, with an image display device, a mirror image can be displayed on each pixel using a bidirectional shift register by reversing the scanning direction of a data signal line or a scan signal line.

[0028] So, an image display device with little power consumption is realizable possible [a mirror image display] by equipping either [at least] a data signal line drive circuit or a scan signal-line drive circuit with the bidirectional shift register of each above-mentioned configuration.

[0029] Furthermore, it is more desirable to form mutually the above-mentioned data signal line drive circuit, a scan signal-line drive circuit, and each pixel on the same substrate in the image display device of the above-mentioned configuration.

[0030] According to the configuration concerned, a data signal line drive circuit, a scan signal-line drive circuit, and each pixel are mutually formed on the same substrate, and wiring between a scan signal-line drive circuit and each pixel is arranged on the substrate concerned on wiring between a data signal line drive circuit and each pixel, and a list, and it is not necessary to issue it out of a substrate at them.

Consequently, even if the number of data signal lines and the number of scan signal lines increase, the number of the signal lines taken out of a substrate does not change, but the time and effort at the time of an assembly can be reduced. Moreover, since it is not necessary to prepare the terminal for connecting each signal line the outside of a substrate, while being able to prevent increase [**** / the capacity of each signal line / un-], the fall of a degree of integration can be prevented.

[0031] By the way, while a polycrystalline silicon thin film tends to expand substrate area compared with single crystal silicon, the polycrystal silicon transistor is [/ a single crystal silicon transistor] inferior in transistor characteristics, such as mobility and a threshold. Therefore, if expansion of a screen product is difficult when each circuit is manufactured using a single crystal silicon transistor, and each circuit is manufactured using a polycrystalline silicon thin film transistor, the drive capacity of each circuit will decline. In addition, when both the drive circuit and a pixel are formed on another substrate, while connecting between both substrates with each signal line and taking time and effort at the time of manufacture, the capacity of each signal line will increase.

[0032] Therefore, it is more desirable for the above-mentioned data signal line drive circuit, a scan signal-line drive circuit, and each pixel to contain the switching element which consists of a polycrystalline silicon thin film transistor in the image display device of each above-mentioned configuration.

[0033] With the configuration concerned, since each of above-mentioned data signal line drive circuits, scan signal-line drive circuits, and each pixels contains the switching element which consists of a polycrystalline silicon thin film transistor, they can expand a screen product easily. Furthermore, since it can form easily on the same substrate, the time and effort at the time of manufacture and the capacity of each signal line are reducible. In addition, since the bidirectional shift register of each above-mentioned configuration is used, even if it is the case that the drive capacity of a level shifter is low, the input signal after a level shift can be impressed to the both ends of a flip-flop convenient at all. Consequently,

power consumption can realize the large image display device of a screen product few.

[0034] In addition, it is more desirable for the above-mentioned data signal line drive circuit, a scan signal-line drive circuit, and each pixel to contain the switching element manufactured at the process temperature of 600 or less degrees in the image display device of each above-mentioned configuration.

[0035] According to the configuration concerned, since the process temperature of a switching element is set as 600 or less degrees, even if it uses the usual glass substrate (a point [distortion] is the glass substrate of 600 or less degrees) as a substrate of each switching element, the camber or deflection resulting from the process beyond a point [distortion] do not occur. Consequently, mounting is still easier and can realize an image display device with a more large screen product.

[0036]

[Embodiment of the Invention] [1st operation gestalt] It is as follows when 1 operation gestalt of this invention is explained based on drawing 1 thru/or drawing 3 . In addition, although this invention is widely applicable to the shift register which can be shifted bidirectionally, below, it explains the case where it applies to an image display device, as a suitable example.

[0037] That is, as shown in drawing 2 , the image display device 51 concerning this operation gestalt is equipped with the display 52 which has the pixel PIX allotted in the shape of a matrix, and the data signal line drive circuit 53 and the scan signal-line drive circuit 54 which drives each pixel PIX, and if a control circuit 55 generates the video signal DAT which shows the display condition of each pixel PIX, it can display an image based on the video signal DAT concerned.

[0038] The above-mentioned display 52 and both the drive circuit 53-54 are formed on the same substrate, in order to reduce the time and effort and wiring capacity at the time of manufacture. Moreover, in order to accumulate more pixels PIX and to expand a screen product, each above-mentioned circuits 52-54 consist of polycrystalline silicon thin film transistors formed on the glass substrate. Furthermore, the above-mentioned polycrystal thin film silicon transistor is manufactured at the process temperature of 600 or less degrees so that the camber or deflection resulting from the process beyond a point [distortion] may not occur, even if it uses the usual glass substrate (a point [distortion] is the glass substrate of 600 or less degrees).

[0039] here -- the above-mentioned display 52 -- 1 data signal line SL1 -SLl(s) each -- data signal line SL1 -SLl m scan signal-line GL1 -GLm(s) which cross, respectively It has. If the positive integer of the arbitration below i and m is set to j for the positive integer of the arbitration below l, it is the data signal line SLi. Scan signal line GLj For every combination Pixel PIX (i, j) is formed and it is each pixel PIX (i, j). Adjoining two data signal line SLi-SLi +1, and two adjoining adjoining scan signal-line GLj and GLj+1 It is allotted to the surrounded part.

[0040] On the other hand, it is the above-mentioned pixel PIX (i, j). As shown in drawing 3 , the gate is the scan signal line GLj. A drain is the data signal line SLi. Pixel capacity CP by which the electrode was connected to the source of the connected field-effect transistor (switching element) SW and the field-effect transistor SW concerned on the other hand It has. Moreover, pixel capacity CP The other end is connected to the common electrode line common to all the pixels PIX. the above-mentioned pixel capacity CP Liquid crystal capacity CL Auxiliary capacity CS added if needed from -- it is constituted.

[0041] The above-mentioned pixel PIX (i, j) It sets and is the scan signal line GLj. If chosen, a field-effect transistor SW flows and it is the data signal line SLi. The impressed electrical potential difference is the pixel capacity CP. It is impressed. On the other hand, it is the scan signal line GLj concerned. Pixel while a selection period expires and the field-effect transistor SW is intercepted capacity CP Holding the electrical potential difference at the time of cutoff is continued. Here, the permeability or reflection factor of liquid crystal is the liquid crystal capacity CL. It changes with the electrical potential differences impressed. Therefore, scan signal line GLj It chooses and is the data signal line SLi. If the electrical potential difference according to image data is impressed, it will be the pixel PIX (i, j) concerned. A display condition can be doubled and image data can be changed.

[0042] In the image display device 51 shown in drawing 2 , the scan signal-line drive circuit 54 chooses the scan signal line GL, and the image data to the pixel PIX corresponding to the combination of the scan signal line GL under selection and the data signal line SL are outputted to each data signal line SL

by the data signal line drive circuit 53. Thereby, each image data is written in pixel PIX-- connected to the scan signal line GL concerned. Furthermore, the scan signal-line drive circuit 54 makes sequential selection of the scan signal line GL, and the data signal line drive circuit 53 outputs image data to each data signal line SL. Consequently, each image data is written in all the pixels PIX of a display 52.

[0043] Here, the image data to each pixel PIX are transmitted by time sharing as a video signal DAT from the above-mentioned control circuit 55 before the data signal line drive circuit 53, and the data signal line drive circuit 53 is the timing based on the predetermined clock signal CKS and predetermined start signal SPS of a period used as a timing signal, and is extracting each image data from the video signal DAT.

[0044] Specifically the above-mentioned data signal line drive circuit 53 By carrying out the sequential shift of the start signal SPS in the shift direction which change signal L/R shows synchronizing with a clock signal CKS output-signal S1 -S1 from which one clock of timing differs at a time shift register 53a to generate -- each -- output-signal S1 -S1 To the shown timing a video signal DAT -- sampling -- each -- data signal line S1 -S1 It has sampling section 53b which extracts the image data to output from a video signal DAT. When change signal L/R shows the shift rightward (the direction of [from S1] S1) here so that it may mention later, it is an output signal S1. When it becomes the earliest timing and change signal L/R shows the shift leftward, it is an output signal S1. It becomes the earliest timing. therefore, the thing for which change signal L/R is changed -- each -- data signal line S1 -S1 The sequence of extracting image data from a video signal DAT can be changed, and the image which right and left reversed to the display 52 can be displayed.

[0045] the scan signal with which one clock of timing differs at a time when similarly the scan signal-line drive circuit 54 carries out the sequential shift of the start signal SPG in the shift direction which change signal U/D shows synchronizing with a clock signal CKG -- each -- scan signal-line GL1 -GLm It has shift register 54a to output. Therefore, when change signal U/D shows the shift down (the direction of [from GL1] GLm), it is the scan signal line GL1. When an output signal serves as earliest timing and change signal U/D shows the shift above, it is the scan signal line GLm. An output signal serves as earliest timing. Thereby, it is scan signal-line GL1 -GLm by changing change signal U/D. The sequence to choose can be changed and the image which the upper and lower sides reversed to the display 52 can be displayed.

[0046] Here, in the image display device 51 concerning this operation gestalt, the display 52 and both the drive circuit 53-54 are formed by the polycrystalline silicon thin film transistor, and the driver voltage VCC of these circuits 52-54 is set for example, as 15 [V] extent. On the other hand, the control circuit 55 is formed by the single crystal silicon transistor on a substrate which is different in each above-mentioned circuits 52-54, and driver voltage is set as the value lower than the above-mentioned driver voltages VCC, such as 5 [V] or an electrical potential difference not more than it. In addition, although each above-mentioned circuits 52-54 and a control circuit 55 are formed in a mutually different substrate, the number of the signals transmitted among both has them more sharply than the number of the signals between each above-mentioned circuit 52-54, for example, they are a video signal DAT, each start signal SPS (SPG), a clock signal CKS (CKG), or change signal L/R (U/D) extent. [few] Moreover, since the control circuit 55 is formed by the single crystal silicon transistor, it tends to secure sufficient drive capacity. Therefore, even if it forms on a mutually different substrate, the time and effort at the time of manufacture and the increment in wiring capacity or power consumption are suppressed by extent which does not pose a problem.

[0047] Here, with this operation gestalt, the shift register 1 which shows either [at least] the above-mentioned shift register 53a or 54a to drawing 1 is used. In addition, below, each above-mentioned start signal SPS (SPG) is called SP, and L/R refers change signal L/R (U/D) so that it may contain, also when using it as which shift register. Moreover, number-of-stages [of a shift register 1] 1 (m) is referred to by n, and they are S1 - Sn about an output signal. It calls.

[0048] The above-mentioned shift register 1 consisted of two or more steps of flip-flop F1 -Fn(s), and, specifically, is equipped with the shift register section 2 which can be shifted bidirectionally synchronizing with clock signal CK. the case where the shift register section 2 concerning this operation

gestalt has judged the shift direction based on change signal L/R itself and the signal which reversed change signal L/R with the inverter 3, and change signal L/R shows the right or down (forward direction) -- flip-flop F1 of the left or a top edge from -- flip-flop Fn of the right or a bottom edge A start signal SP is transmitted. the case where change signal L/R, on the other hand, shows the left or above (hard flow) -- the shift register section 2 -- flip-flop Fn from -- flip-flop F1 A start signal SP is transmitted.

[0049] As mentioned above, the driver voltage of a control circuit 55 is set up lower than the driver voltage VCC of a shift register 1, and the amplitude of a start signal SP is also lower than the driver voltage VCC concerned, and it is set up. Therefore, further, the pressure up of the start signal SP is carried out to the above-mentioned shift register 1, and the level shifter 11-12 given to the shift register section 2 is formed in it.

[0050] At this operation gestalt, the above-mentioned level shifter 11-12 carries out the pressure up of the start signal SP, and the level shifter 11 which is prepared in the both ends of the shift register section 2, and was prepared in the left (or on) edge is the above-mentioned flip-flop F1. The level shifter 12 prepared in the right (or under) side edge while outputting is the above-mentioned flip-flop Fn. It outputs. Furthermore, when the above-mentioned level shifter 11-12 is constituted based on above-mentioned change signal L/R so that only one side may operate, and change signal L/R is directing the shift of the forward direction, while only the level shifter 11 used as an input side operates, when the shift of hard flow is being directed, only a level shifter 12 operates and a level shifter 11 suspends actuation. In addition, the above-mentioned level shifter 11-12 corresponds to a control means and a level shifter given in a claim.

[0051] In the above-mentioned configuration, when change signal L/R is directing the forward direction shift, a level shifter 11 carries out the pressure up of the start signal SP, and it is a flip-flop F1. It inputs. on the other hand -- each -- flip-flop F1 -Fn the output signal of the circuit which adjoins a preceding paragraph (or on), i.e., left, side -- clock signal CK -- synchronizing -- the output signal S1 of each stage - Sn ***** -- while outputting, it outputs to the next step, i.e., the circuit which adjoins a right (or under) side. this transmits a start signal SP to the forward direction for every clock -- having -- each -- flip-flop F1 -Fn The circuit 11 which adjoins a left (or on) side, i.e., a level shifter, a flip-flop F1 - F (n-1) an output signal -- 1 clock ***** , an output signal S1 - Sn It outputs. Moreover, in this condition, the level shifter 12 has suspended actuation based on the reversal signal L/R bar of a change signal.

[0052] When change signal L/R indicates the hard flow shift to be this conversely, a level shifter 11 suspends actuation and a level shifter 12 starts actuation. if a start signal SP is impressed in this condition -- a level shifter 12 -- a start signal SP -- a pressure up -- carrying out -- flip-flop Fn inputting - each -- flip-flop Fn -F1 The output signal of the circuit which adjoins a right (or under) side is outputted to the circuit which adjoins a left (or on) side synchronizing with clock signal CK. this transmits a start signal SP to hard flow for every clock -- having -- each -- flip-flop F1 -Fn The circuit which adjoins a right (or on) side, i.e., flip-flop F2 -Fn, and the output signal of a level shifter 12 -- 1 clock ***** , an output signal S1 - Sn It outputs.

[0053] With the above-mentioned configuration, the level shifter 11-12 is formed in the both sides of the shift register section 2. Therefore, it compares, when transmitting the output signal of a level shifter formed in one side to the both ends of the shift register section, and they are a level shifter 11 and a flip-flop F1. Between and a level shifter 12, and flip-flop Fn Each between can be set up short and the load-carrying capacity of each level shifter 11 (12) can be reduced sharply. Moreover, since a pressure up is carried out after transmitting the start signal SP itself to both the level shifters 11 (12), the amplitude of the signal transmitted in between the both ends of the shift register section 2 becomes small rather than the case where the start signal after a level shift is transmitted. Like [at the time of constituting these results (12) 11, for example, a level shifter, from a polycrystalline silicon thin film transistor], even if it is a case with many [capacity / the drive capacity of a level shifter 11 (12) is low, and] number of stages of the shift register section 2, without preparing a buffer circuit, a flip-flop F1 (Fn) can be driven and the power consumption of a shift register 1 can be reduced.

[0054] Furthermore, with this operation gestalt, according to the shift direction, only the input side of

the shift register section 2 is operated among both the level shifters 11-12, and the output side is stopped. Consequently, compared with the case where both sides always operate, the power consumption of a shift register 1 can be reduced further.

[0055] Here, when the amplitude of a start signal SP is less than the threshold of the transistor of an input stage, since it becomes impossible for the level shifter of the electrical-potential-difference drive mold which turns on / turns off a transistor with a start signal SP to operate, the level shifter of a current drive mold is used as a level shifter 11-12. As mentioned later, even if the current drive type concerned of level shifters are the case where transistor characteristics are low, and the case where a high-speed drive is required, while it can operate, since the current is always flowing, compared with the level shifter of the above-mentioned electrical-potential-difference drive mold, power consumption will become large during actuation. Especially when using the level shifter of a current drive mold, make it therefore, more desirable to stop one level shifter 11 (12) like this operation gestalt.

[0056] Since power is consumed in case an output changes at least even if it is the case where the level shifter of an electrical-potential-difference drive mold is used, make it in addition, better [to stop one level shifter 11 (12)].

[0057] [2nd operation gestalt] This operation gestalt explains the case where the electric power supply to a level shifter 11 (12) is stopped, as an example of an approach which stops actuation of the above-mentioned level shifter 11 (12). That is, in shift register 1a concerning this operation gestalt, as shown in drawing 4, the current supply control section 13 which controls the electric power supply to a level shifter 11, and the current supply control section 14 which controls the electric power supply to a level shifter 12 are formed. In addition, with this operation gestalt, the current supply control sections 13 and 14 correspond to a control means given in a claim, and level shifters 11 and 12 correspond to a level shifter.

[0058] The above-mentioned current supply control section 13 supplies power to a level shifter 11, only when change signal L/R shows the forward direction, when hard flow is shown, stops an electric power supply and stops a level shifter 11. Similarly, the current supply control section 14 supplies power to a level shifter 12, only when change signal L/R shows hard flow.

[0059] According to the above-mentioned configuration, power is supplied to each level shifter 11-12 only at the period when each is operating. Therefore, in the level shifter 11-12 of the direction which has suspended actuation, power is not consumed but the power consumption of a shift register 1 can be reduced.

[0060] In [the 3rd operation gestalt] and time, by circuitry or driver voltage VCC, since the input voltage range (input dynamic range) which can operate is decided, even if a level shifter 11 (12) gives the input signal besides the input dynamic range concerned to a level shifter 11 (12), it can stop a level shifter 11 (12).

[0061] Below, below the signal level to a level shifter 11 (12) to input is controlled, and the case where touch-down level is not contained in the above-mentioned input dynamic range is explained as an example in the case of stopping a level shifter 11 (12) based on drawing 5.

[0062] That is, either a start signal SP or touch-down level is chosen as shift register 1b concerning this operation gestalt, and the input electronic switch 15 inputted into a level shifter 11 and the input electronic switch 16 which chooses both one side and is inputted into a level shifter 12 are established in it. The input electronic switch 15 was formed between MOS transistor 15a through which it flows when change signal L/R shows the forward direction, and the input of a level shifter 11 and touch-down level, and is equipped with MOS transistor 15b through which it flows when change signal L/R shows hard flow while a start signal SP is impressed to an end and the other end is connected to the input of a level shifter 11. Similarly, it flows, when change signal L/R shows hard flow, and when it indicates the forward direction to be MOS transistor 16a of N type which impresses a start signal SP to a level shifter 12 to the input electronic switch 16, it flows in it, and MOS transistor 16b which grounds the input of a level shifter 12 is prepared in it.

[0063] In addition, with this operation gestalt, the above-mentioned input electronic switches 15 and 16 correspond to a control means given in a claim, and level shifters 11 and 12 correspond to the level shift

section.

[0064] With this operation gestalt, each above-mentioned MOS transistors 15a-16b are N type, and when change signal L/R is high-level, the forward direction is shown. Therefore, change signal L/R is impressed to the gate of MOS transistor 15a, and the output signal of an inverter 3 is impressed to the gate of MOS transistor 16a. Moreover, the reversal signal L/R bar of a change signal is impressed, and after a reversal signal L/R bar is reversed by the gate of MOS transistor 15b with an inverter 4, it is impressed by the gate of MOS transistor 16b at it.

[0065] According to the above-mentioned configuration, when change signal L/R shows the forward direction, a start signal SP is impressed to a level shifter 11, and the input of a level shifter 12 is grounded. Here, since touch-down level is not contained in the input dynamic range of a level shifter 12, a level shifter 12 stops. Thereby, only a level shifter 11 can be operated. When change signal L/R indicates hard flow to be this conversely, the input besides an input dynamic range is given to a level shifter 11, and only a level shifter 12 operates.

[0066] In addition, the electrical potential difference which the input electronic switch 15 (16) outputs at the time of a halt of a level shifter 11 (12) When a level shifter 11 (12) is a current drive mold so that it may mention later although what is necessary is just an electrical potential difference besides the input dynamic range of a level shifter 11 (12) The direction set to the electrical potential difference by which the transistor of the input stage of a level shifter 11 (12) is intercepted, i.e., the electrical potential difference on which a penetration current does not flow, can reduce the power consumption resulting from a penetration current, and low power shift register 1b can be realized.

[0067] In [the 4th operation gestalt] and time, with the above 1st thru/or the 3rd operation gestalt, since it connects with the flip-flop F1 (Fn) directly, at the time of a halt of operation, the output signal of a level shifter 11 (12) becomes unfixed, and a level shifter 11 (12) has a possibility that a flip-flop F1 (Fn) may malfunction.

[0068] On the other hand, in shift register 1c concerning this operation gestalt, as shown in drawing 6, the output stabilization circuit (output stability means) (18) 17 for stabilizing the output voltage at the time of a halt of operation is established in the level shifter 11 (12). In addition, although the output stabilization circuit 17 (18) can also be established in which shift register 1 (1a-1c), below, it explains the case where it prepares in the shift register 1 shown in drawing 1.

[0069] The output stabilization circuit 17 concerning this operation gestalt is formed between the output of a level shifter 11, and touch-down level, and, specifically, consists of MOS transistors of N type through which it flows when change signal L/R impressed to the gate shows hard flow. Similarly, the output stabilization circuit 18 consists of MOS transistors of the N type formed between the output of a level shifter 12, and touch-down level, and when change signal L/R shows the forward direction, it flows through it. In addition, in this example, since the forward direction is shown when change signal L/R is high-level, in the output stabilization circuit 17, the output signal of an inverter 3 is impressed to the gate of an MOS transistor, and change signal L/R is impressed to the gate of an MOS transistor in the output stabilization circuit 18.

[0070] According to the above-mentioned configuration, while the level shifter 11 (12) has stopped, the MOS transistor of the output stabilization circuit 17 (18) flows, and the output of a level shifter 11 (12) is reduced to touch-down level. Consequently, unlike the case where the output voltage of the level shifter 11 under halt (12) is an indeterminate, malfunction of the flip-flop F1 (Fn) connected to the level shifter 11 concerned (12) can be prevented, and shift register 1c stabilized more can be realized.

[0071] [5th operation gestalt] This operation gestalt explains the case where it has altogether a level shifter 11 (12), and the current supply control section 13 (14), and the input electronic switch 15 (16) and the output stabilization circuit 17 (18) of a current drive mold, with reference to the circuit diagram shown in drawing 7 as an example of the above-mentioned shift register 1 (1a-1c). In addition, in this drawing, only the member (11-13-15-17) relevant to a level shifter 11 is illustrated.

[0072] The level shifter 11 concerning this operation gestalt specifically MOS transistor P1 of the P type to which it is the level shifter of a current drive mold, and the source of each other was connected as a difference input pair of an input stage, and P2, The constant current source I1 which supplies a

predetermined current to both the transistors P1 and the source of P2, Current Miller circuit was constituted and it has MOS transistor N3 of the N type used as both the transistors P1 and the active load of P2, N4, and the transistor P11 of the CMOS structure which amplifies the output of a difference input pair and N12.

[0073] Through the transistor N31 mentioned later, a start signal SP is inputted into the gate of the above-mentioned transistor P1, and the reversal signal SP bar of a start signal is inputted into the gate of a transistor P2 through the transistor N33 mentioned later at it. Moreover, it connects mutually and a transistor N3 and the gate of N4 are further connected to the above-mentioned transistor P1 and the drain of N3. The transistor P2 each other connected on the other hand and the drain of N4 are connected to the above-mentioned transistor P11 and the gate of N12. In addition, a transistor N3 and the source of N4 are grounded through MOS transistor N21 of the N type as the above-mentioned current supply control section 13.

[0074] On the other hand, MOS transistor N31 of the N type formed between a start signal SP and the gate of the above-mentioned transistor P1 and MOS transistor P32 of the P type formed between the gate of a transistor P1 and driver voltage VCC are formed in the input electronic switch 15. Similarly, through a transistor N33, the reversal signal SP bar of a start signal is impressed to the gate of the above-mentioned transistor P2, and driver voltage VCC is given to it through a transistor P34.

[0075] Furthermore, the output stabilization circuit 17 concerning this operation gestalt is a configuration which stabilizes the output voltage at the time of a halt of a level shifter 11 in driver voltage VCC, and is equipped with MOS transistor P41 of P type between driver voltage VCC, both the above-mentioned transistors P11, and the gate of N12.

[0076] With this operation gestalt, when high-level, change signal L/R shows the forward direction, and it is set up so that a level shifter 11 may operate. Therefore, change signal L/R is impressed to the gate of each above-mentioned transistors N21-P41.

[0077] In the above-mentioned configuration, when change signal L/R shows the forward direction, a transistor N21, N31, and N33 flow (when high-level), and a transistor P32, P34, and P41 are intercepted. In this condition, the current of a constant current source I1 flows through a transistor N21 further, after minding transistors P1 and N3 or transistors P2 and N4. Moreover, the reversal signal SP bar of a start signal SP or a start signal is impressed to both the transistors P1 and the gate of P2. Consequently, to both the transistors P1 and P2, the electrical potential difference of the amount according to the ratio of the electrical potential difference between the each gate-sources flows. On the other hand, since a transistor N3 and N4 work as an active load, the electrical potential difference of a transistor P2 and the node of N4 turns into an electrical potential difference according to the difference of the voltage level of both the signals SP-SP bar. The electrical potential difference concerned is outputted as output voltage OUT, after becoming the transistor P11 of CMOS, and the gate voltage of N12 and carrying out power amplification by both the transistors P11 and N12.

[0078] The above-mentioned level shifters 11 are working and a current drive mold through which the transistor P1 of an input stage and P2 always flow, and, unlike the configuration which switches the transistor P1 of an input stage, and a flow/cutoff of P2 with a start signal SP, i.e., an electrical-potential-difference drive mold, carry out the level shift of the start signal SP according to the ratio of both the transistors P1 and the electrical potential difference between the gate-sources of P2 by carrying out splitting of the current of a constant current source I1. Thereby, even if it is the case that the amplitude of a start signal SP is lower than the transistor P1 of an input stage, and the threshold of P2, the level shift of the start signal SP can be carried out convenient at all.

[0079] Consequently, as shown in drawing 8, change signal L/R is the same configuration as the start signal SP of a value (for example, 5 [V] extent) with peak value lower than driver voltage VCC between high level, and a level shifter 11 can output the output voltage OUT by which the pressure up of the peak value was carried out to driver voltage VCC (for example, 15 [V] extent).

[0080] When change signal L/R indicates hard flow to be this conversely (in the case of a low level), the current which flows through transistors P1 and N3 or transistors P2 and N4 is intercepted by the transistor N21 from a constant current source I1. In this condition, since the current supply source from

a constant current source I1 is prevented with a transistor N21, the power consumption resulting from the current concerned is reducible. Since a current is not supplied to both the transistors P1 and P2, it becomes impossible moreover, for both the transistors P1 and P2 to operate as a difference input pair, but to determine the potential of an outgoing end P2, i.e., both transistors, and the node of N4 in this condition.

[0081] Furthermore, in this condition, the transistor N31 of the input electronic switch 15 and N33 were intercepted, and a transistor P32 and P34 have flowed. Consequently, each of both transistors P1 and gate voltage of P2 turns into driver voltage VCC, and both the transistors P1 and P2 are intercepted. Thereby, the consumed electric current can be reduced like the case where a transistor N21 is intercepted, by the current which a constant current source I1 outputs. It becomes impossible for both the transistors P1 and P2 to operate as a difference input pair, and it becomes impossible moreover, to determine the potential of the above-mentioned outgoing end in this condition.

[0082] In addition, when change signal L/R shows hard flow, the transistor P41 of the output stabilization circuit 17 flows further. Consequently, the above-mentioned outgoing end P11, i.e., the transistor of CMOS, and the gate potential of N12 serve as driver voltage VCC, and output voltage OUT serves as a low level. Consequently, as shown in drawing 8, when change signal L/R shows hard flow, the output voltage OUT of a level shifter 11 is maintained irrespective of a start signal SP with a low level.

[0083] Although the member relevant to a level shifter 11 was illustrated by drawing 7 here, in the member (12-14-16-18) relevant to a level shifter 12, it replaces with change signal L/R, for example, the reversal signal L/R bar of change signals, such as an output signal of an inverter 3, is impressed. Moreover, what is necessary is to delete a transistor N21 and just to ground a transistor N3 and the source of N4, in deleting the current supply control section 13 (14) although the case where it had altogether the current supply control section 13, the input electronic switch 15, and the output stabilization circuit 17 was made into the example and this drawing explained. Moreover, what is necessary is to delete transistors N31-P34, to impress a start signal SP to the gate of a transistor P1, and just to impress the reversal signal SP bar of a start signal to the gate of a transistor P2, in deleting the input electronic switch 15 (16). Furthermore, if a transistor P41 is deleted, the level shifter which deleted the output stabilization circuit 17 (18) can be constituted.

[0084] In addition, a bidirectional shift is required, and if it is the application to which an input signal with the amplitude of an input signal lower than the driver voltage of a shift register is given, the bidirectional shift register concerning this invention is widely applicable, although the image display device was made into the example and the above 1st thru/or the 5th operation gestalt explained it as an example of application of a shift register. However, in an image display device, since improvement in resolution and expansion of a screen product are called for strongly, there are many number of stageses of a shift register, and they cannot fully secure drive capacity of a level shifter in many cases. Therefore, it is effective especially when it applies to the drive circuit of an image display device.

[0085]

[Effect of the Invention] The bidirectional shift register concerning this invention is a configuration which equips the both ends of two or more steps of flip-flops which operate as a bidirectional shift register with the level shifter which carries out the pressure up of the above-mentioned input signal as mentioned above.

[0086] With the above-mentioned configuration, since the level shifter is prepared in the both ends of two or more steps of flip-flops, the distance from each level shifter to a flip-flop can be shortened. Consequently, since the transmission distance of the signal after a level shift can be shortened, the buffer between a level shifter and a flip-flop can be deleted, and the effectiveness that the power consumption of a bidirectional shift register is reducible is done so.

[0087] The bidirectional shift register concerning this invention is a configuration which is further equipped with the control means which stops the level shifter by the side of the tail end of the shift direction among both the above-mentioned level shifters as mentioned above according to the above-mentioned change signal in addition to the above-mentioned configuration.

[0088] Since one level shifter can be stopped according to the configuration concerned, without checking the shift of the input signal by the bidirectional shift register, the effectiveness that power consumption is reducible from the case where both sides operate is done so.

[0089] The bidirectional shift register concerning this invention is a configuration containing the level shift section of a current drive mold through which the input switching element to which each above-mentioned level shifter impresses working and an input signal always flows in the above-mentioned configuration as mentioned above.

[0090] According to the configuration concerned, apart from a level shifter, while an input switching element always flows and carries out the level shift of the input signal, as for another side, actuation is suspended. Thereby, even when the amplitude of an input signal is lower than the threshold electrical potential difference of an input switching element, power consumption does so the effectiveness that few bidirectional shift registers are realizable, possible [a level shift].

[0091] As mentioned above, in the above-mentioned configuration, the bidirectional shift register concerning this invention is the configuration of stopping the level shifter concerned, when the above-mentioned control means gives the signal of the level which the above-mentioned input switching element intercepts as an input signal to each above-mentioned level shift section.

[0092] According to the configuration concerned, actuation of a level shifter is suspended because a control means controls the level of an input signal and intercepts an input switching element. Thereby, a control means does so during a halt the effectiveness that only the part of a current which flows to an input switching element can reduce power consumption while being able to stop a level shifter.

[0093] In each configuration in which the bidirectional shift register concerning this invention has the above-mentioned control means as mentioned above, the above-mentioned control means is the configuration of stopping the electric power supply to each above-mentioned level shifter, and stopping the level shifter concerned.

[0094] According to the configuration concerned, a control means stops the electric power supply to each level shifter, and stops the level shifter concerned. Thereby, a control means does so the effectiveness that only the part of the power consumed by the level shifter working can reduce power consumption while being able to stop a level shifter.

[0095] The bidirectional shift register concerning this invention is a configuration equipped with the output stability means which maintains output voltage at the value as which each above-mentioned level shifter was beforehand determined at the time of a halt in each above-mentioned configuration as mentioned above.

[0096] According to the configuration concerned, while the level shifter has stopped, the output voltage of the level shifter concerned is maintained at a predetermined value by the output stability means. Consequently, malfunction of a flip-flop can be prevented and the effectiveness that the bidirectional shift register stabilized more is realizable is done so.

[0097] At least one side of the data signal line drive circuit where the image display device concerning this invention operates synchronizing with the scan signal-line drive circuit which operates as mentioned above synchronizing with the 1st clock signal, and the 2nd clock signal is a configuration equipped with the bidirectional shift register of one which makes the 1st or 2nd clock signal of the above the above-mentioned clock signal of above-mentioned configurations.

[0098] With the configuration concerned, since either [at least] the data signal line drive circuit or the scan signal-line drive circuit is equipped with the bidirectional shift register of each above-mentioned configuration, the effectiveness that an image display device with little power consumption is realizable possible [a mirror image display] is done so.

[0099] The image display device concerning this invention is the configuration that the above-mentioned data signal line drive circuit, a scan signal-line drive circuit, and each pixel are mutually formed on the same substrate, in the above-mentioned configuration as mentioned above.

[0100] According to the configuration concerned, since it is mutually formed on the same substrate, a data signal line drive circuit, a scan signal-line drive circuit, and each pixel can reduce the time and effort at the time of manufacture, and the capacity of each signal line, and do so the effectiveness that

the image display device of a low power is more realizable.

[0101] The image display device concerning this invention is a configuration containing the switching element which the above-mentioned data signal line drive circuit, a scan signal-line drive circuit, and each pixel become from a polycrystalline silicon thin film transistor in each above-mentioned configuration as mentioned above.

[0102] With the configuration concerned, each of above-mentioned data signal line drive circuits, scan signal-line drive circuits, and each pixels contains the switching element which consists of a polycrystalline silicon thin film transistor. Moreover, the bidirectional shift register of the above-mentioned configuration can impress the input signal after a level shift to the both ends of a flip-flop convenient at all, even if reservation of sufficient drive capacity is formed by the difficult polycrystalline silicon thin film transistor. Consequently, power consumption does so the effectiveness that the large image display device of a screen product is realizable few.

[0103] The image display device concerning this invention is a configuration containing the switching element from which the above-mentioned data signal line drive circuit, a scan signal-line drive circuit, and each pixel were manufactured at the process temperature of 600 or less degrees in each above-mentioned configuration as mentioned above.

[0104] According to the configuration concerned, since the process temperature of a switching element is set as 600 or less degrees, the usual glass substrate (a point [distortion] is the glass substrate of 600 or less degrees) can be used as a substrate of each switching element. Consequently, the effectiveness that mounting is still easier and can realize an image display device with a more large screen product is done so.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

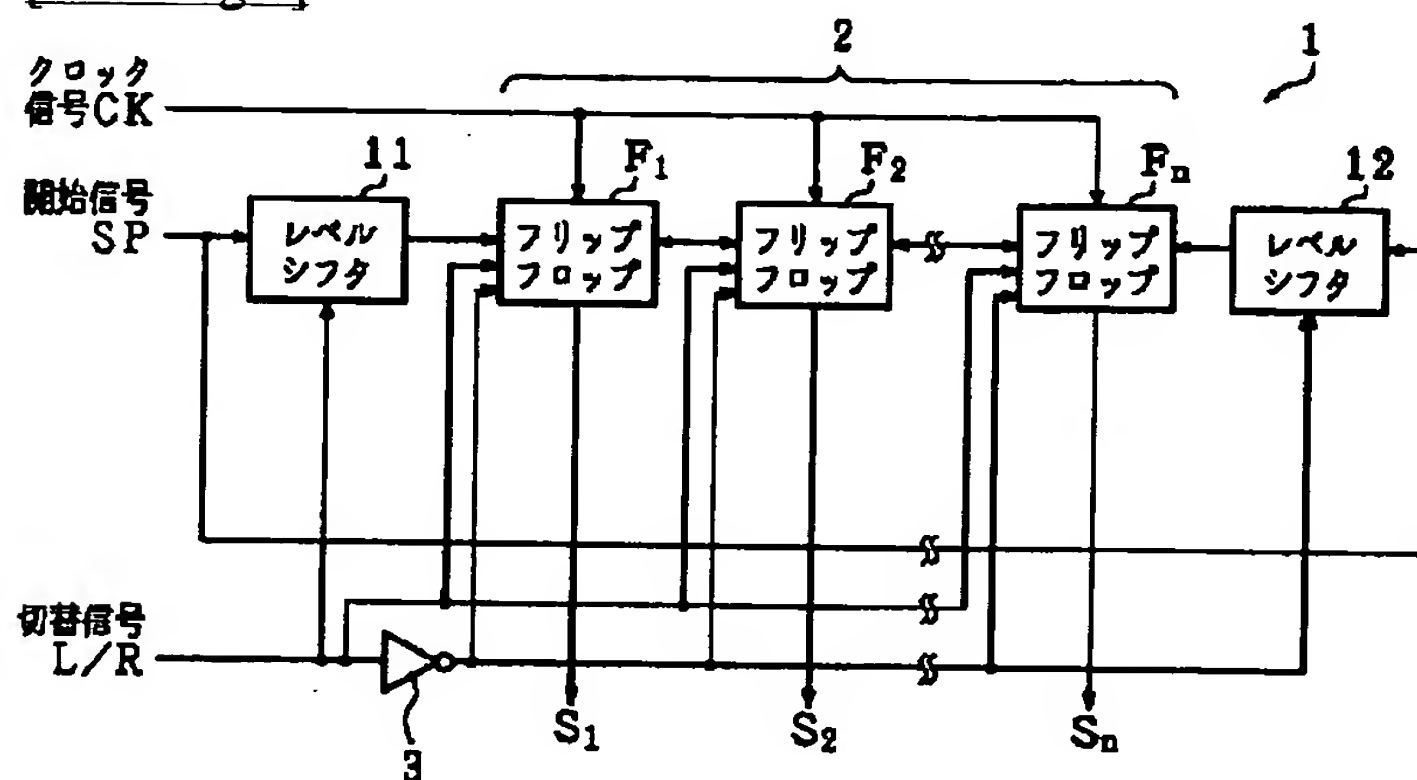
1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

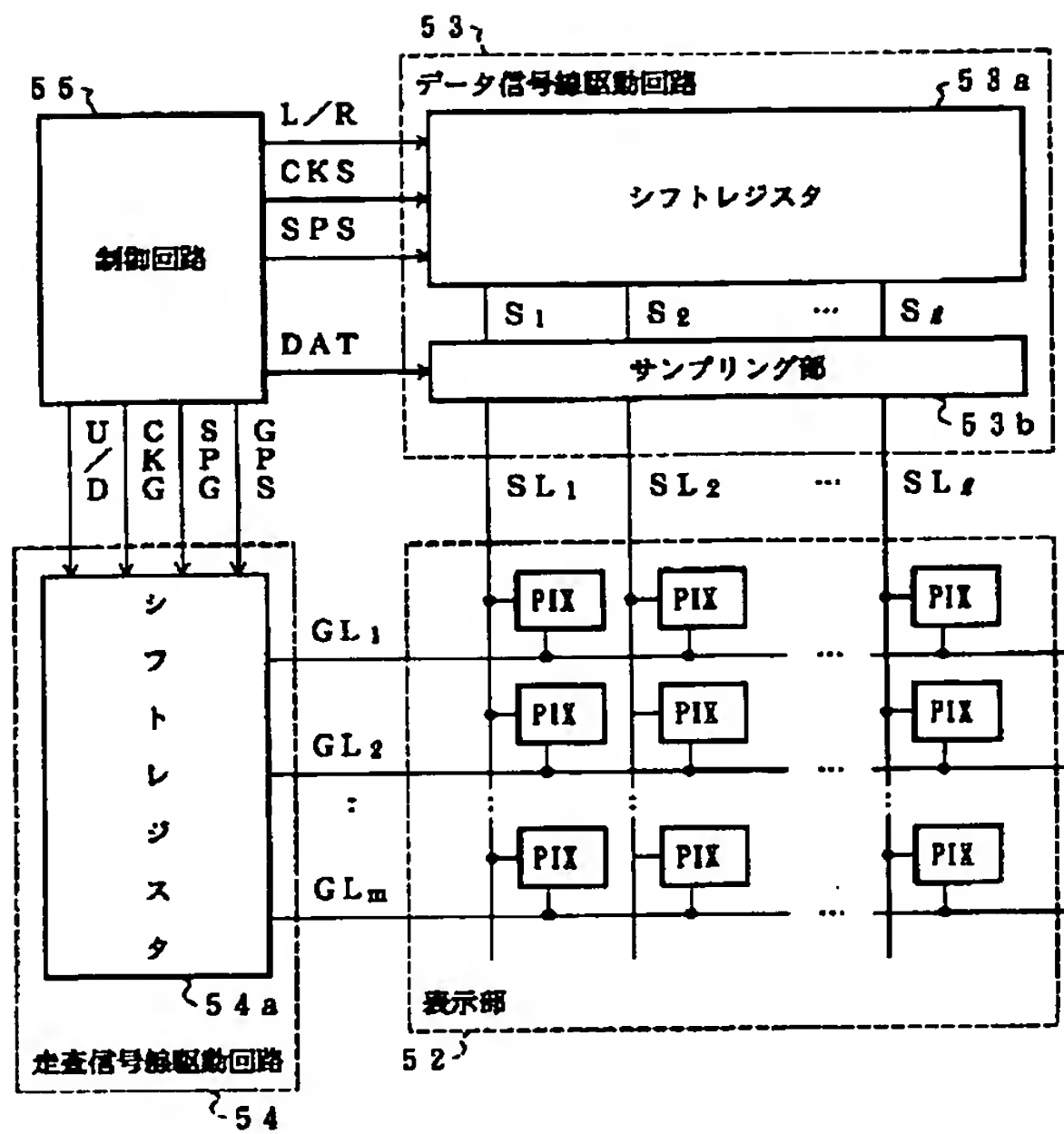
DRAWINGS

[Drawing 1]

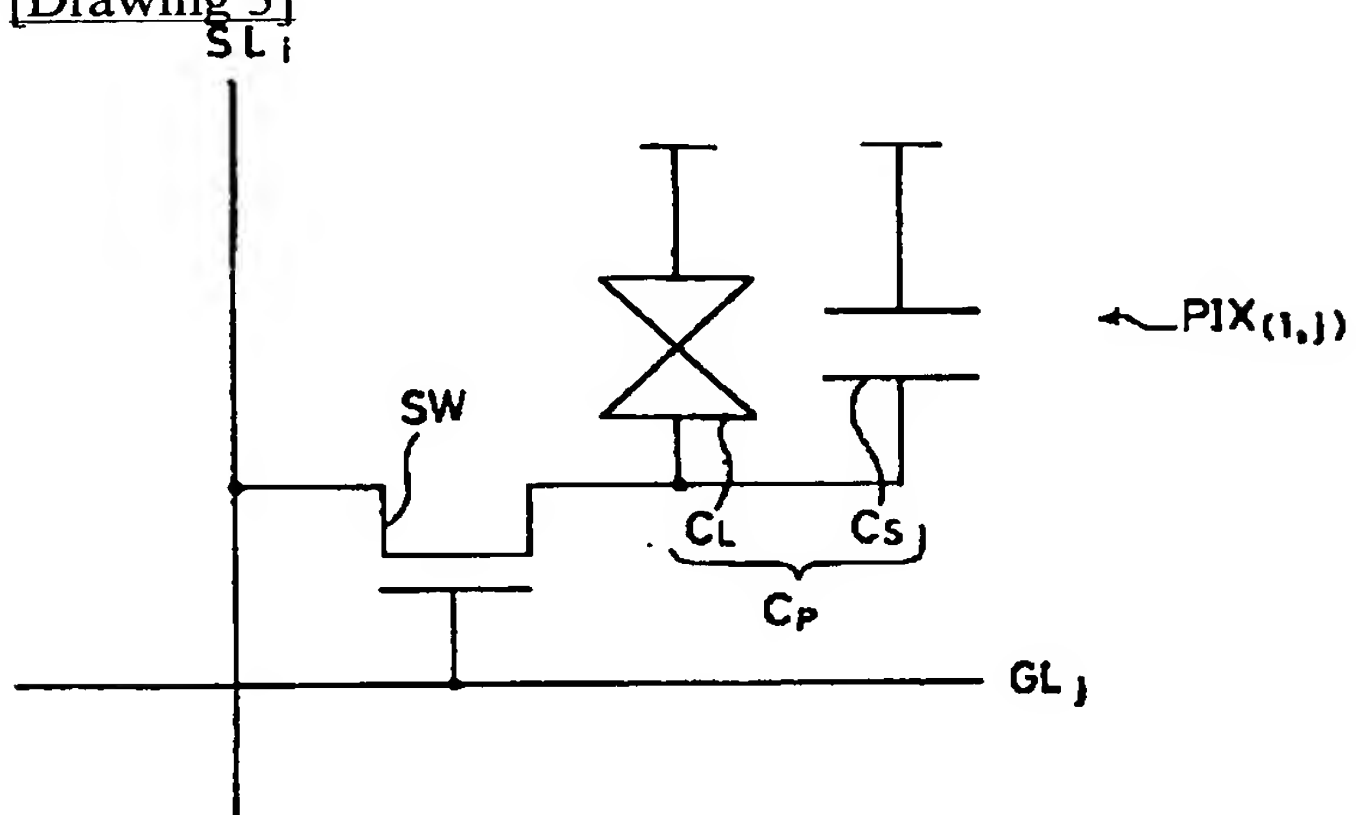


[Drawing 2]

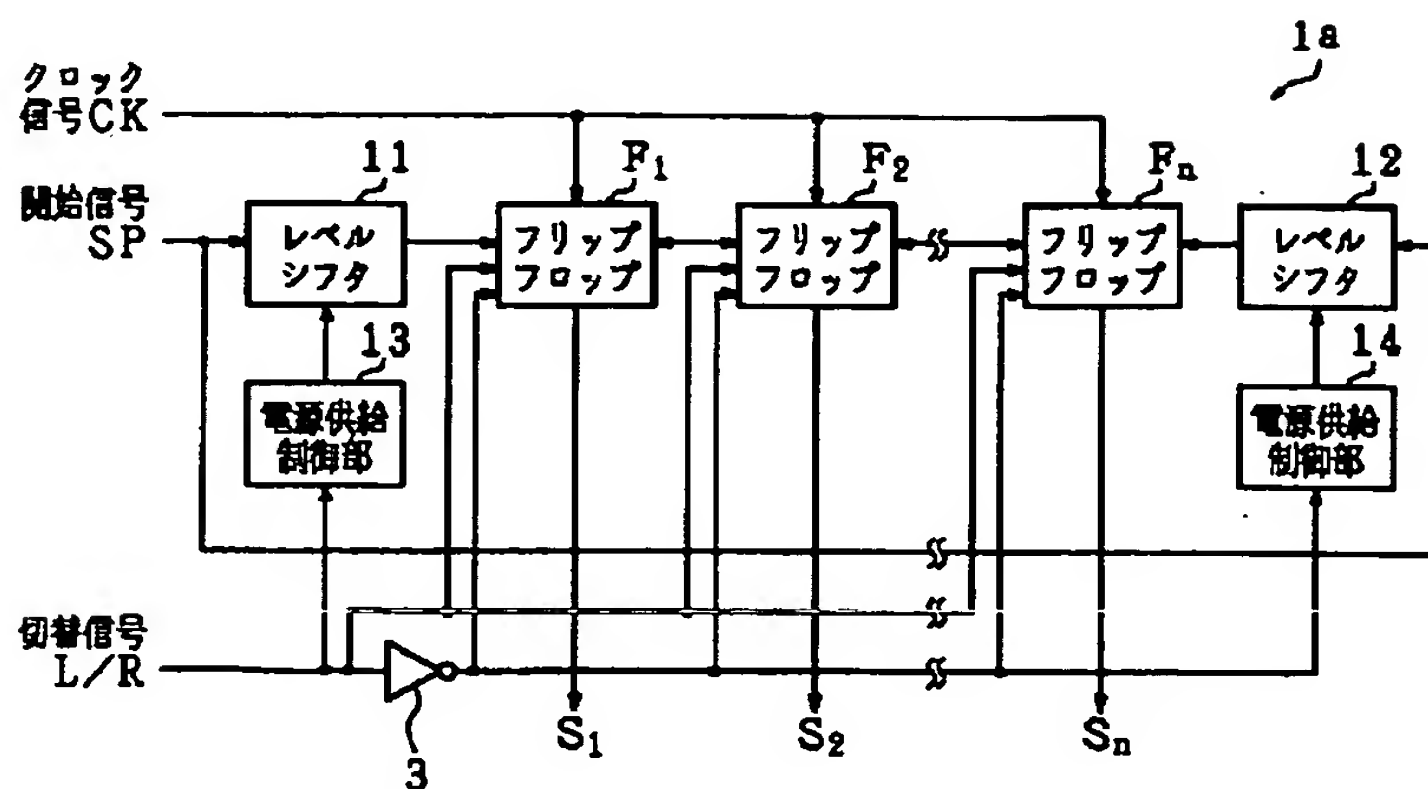
51



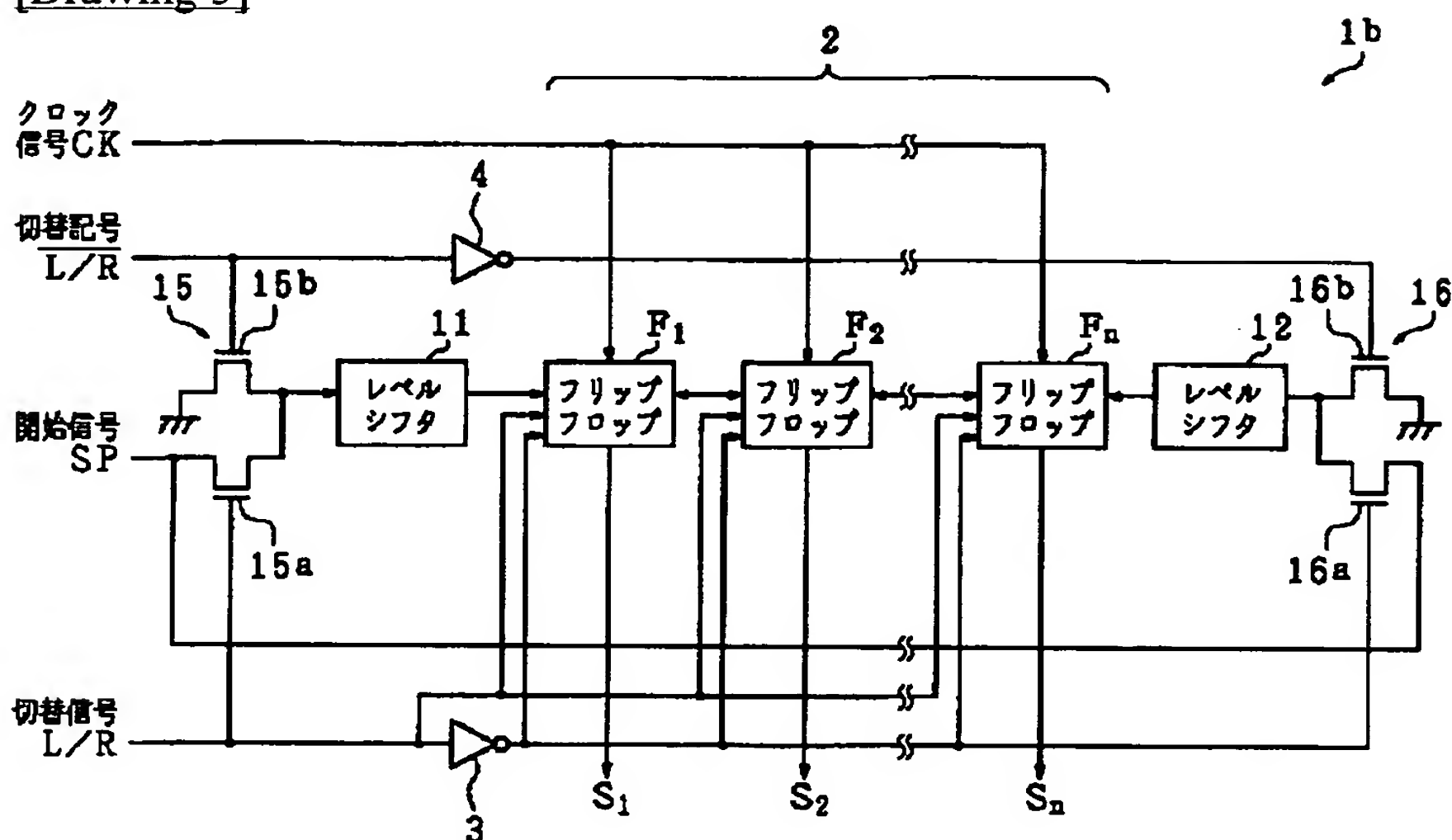
[Drawing 3]



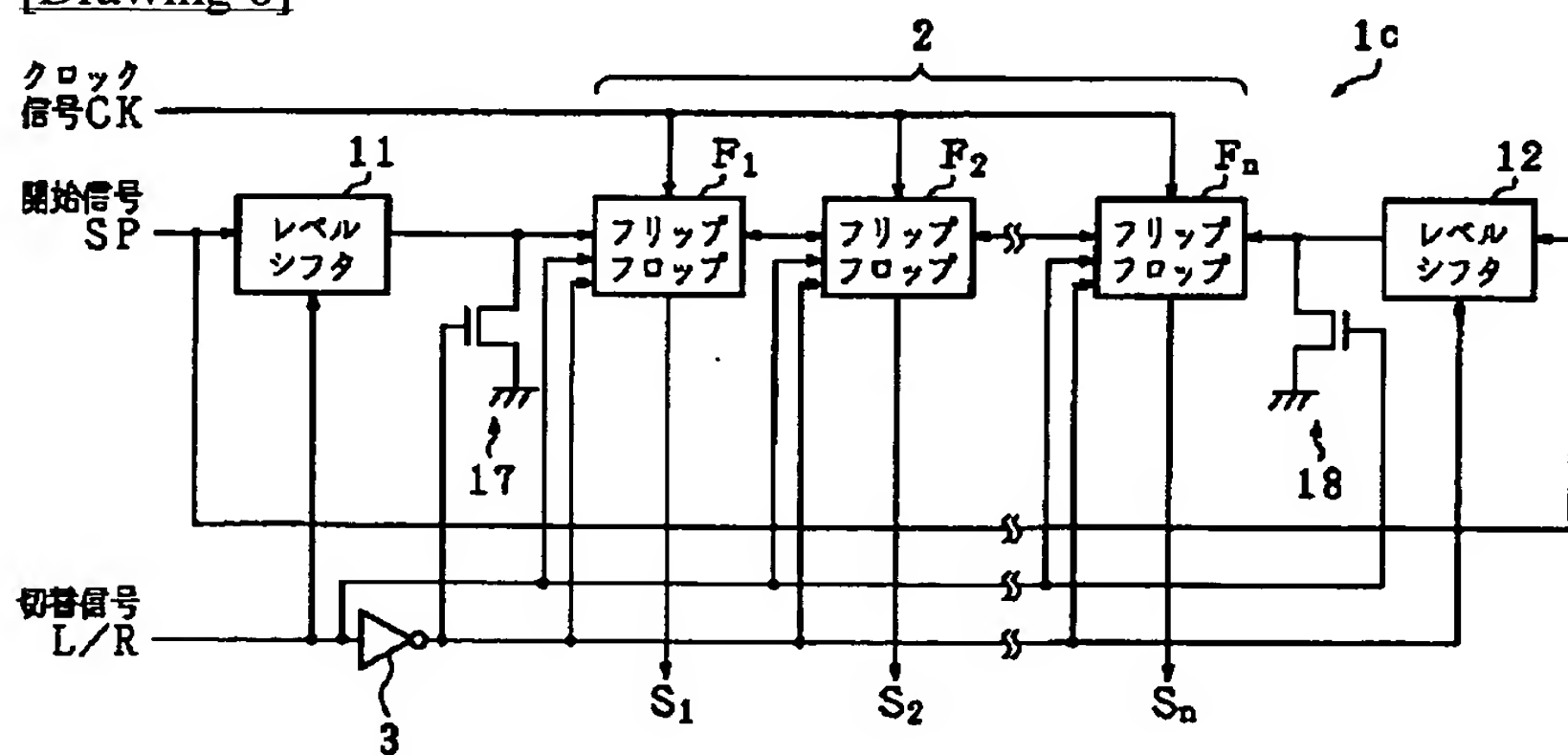
[Drawing 4]



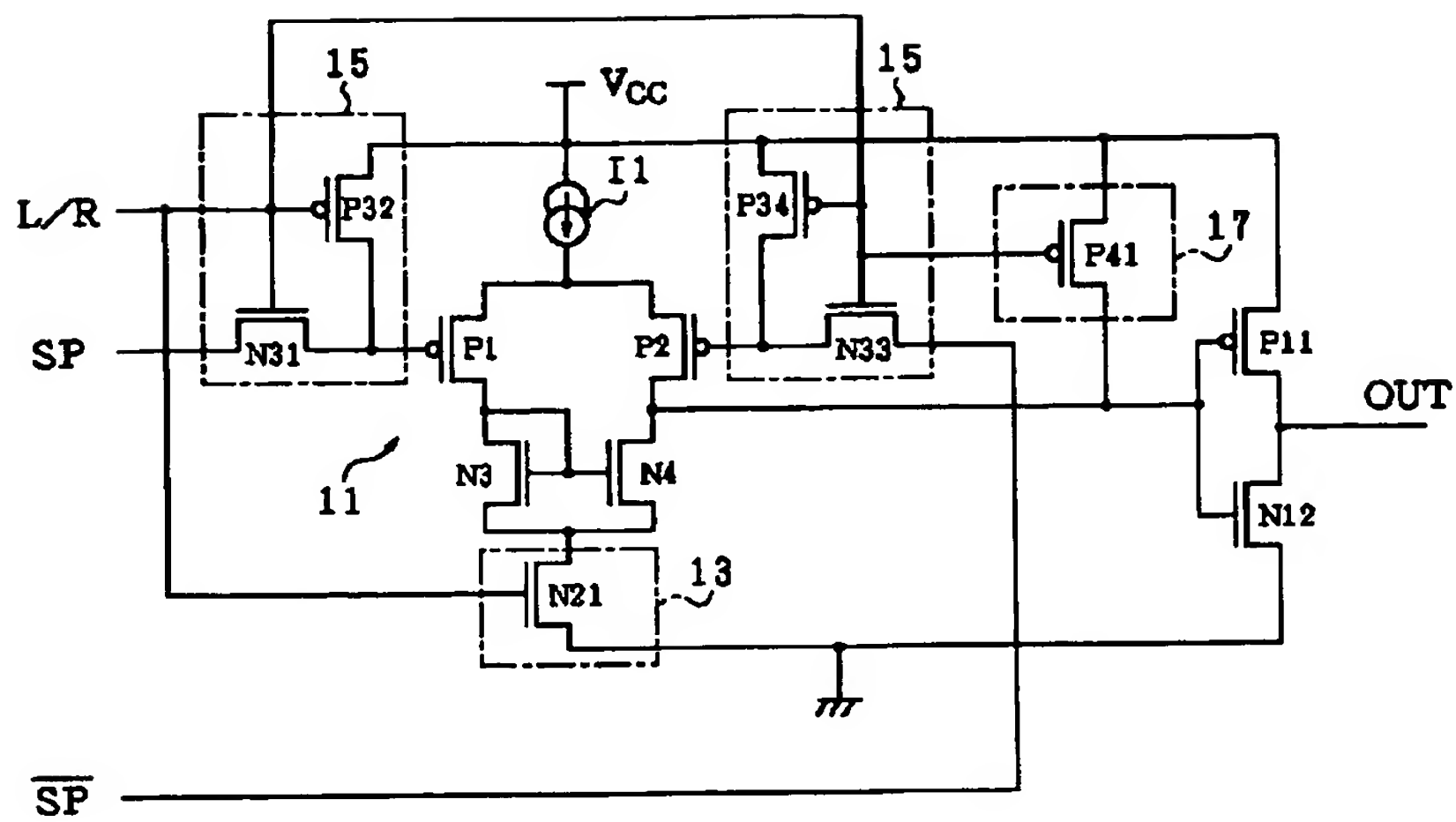
[Drawing 5]



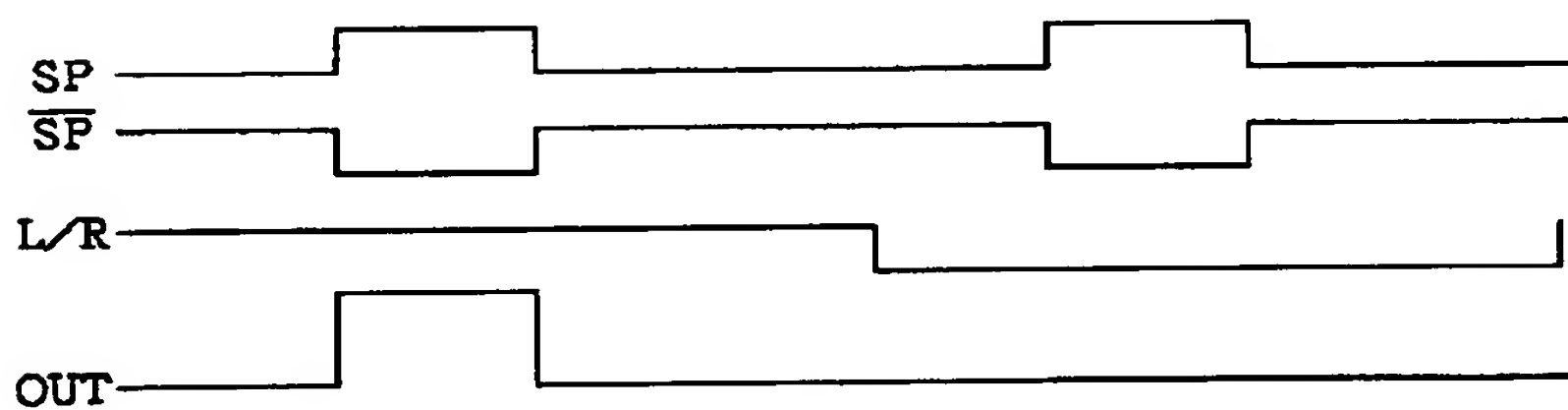
[Drawing 6]



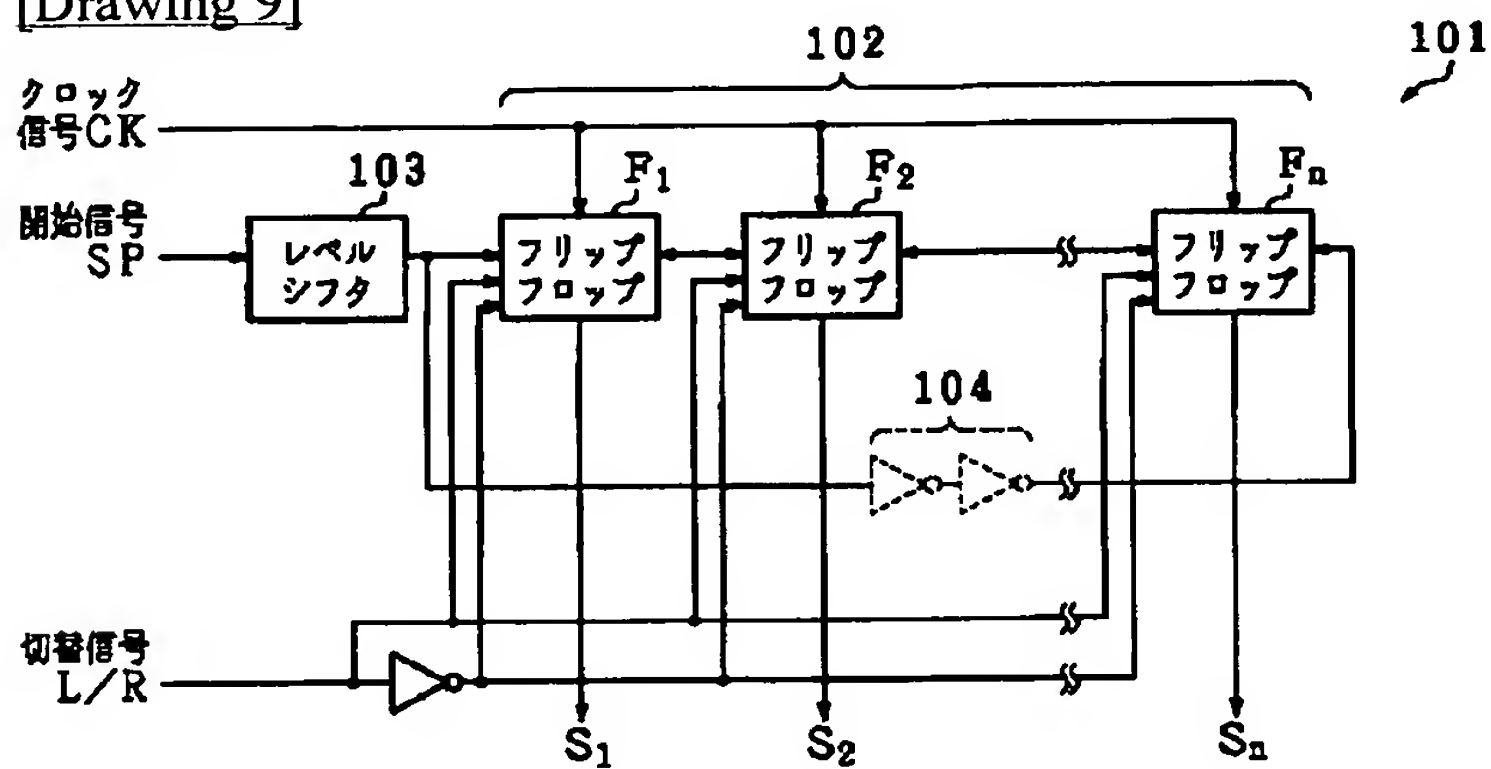
[Drawing 7]



[Drawing 8]



[Drawing 9]



[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CORRECTION OR AMENDMENT

[Kind of official gazette] Printing of amendment by the convention of 2 of Article 17 of Patent Law
 [Section partition] The 2nd partition of the 6th section
 [Publication date] July 10, Heisei 14 (2002. 7.10)

[Publication No.] JP,2000-322020,A (P2000-322020A)
 [Date of Publication] November 24, Heisei 12 (2000. 11.24)
 [Annual volume number] Open patent official report 12-3221
 [Application number] Japanese Patent Application No. 11-134664
 [The 7th edition of International Patent Classification]

G09G 3/20 623
 622
 G11C 19/00

[FI]

G09G 3/20 623 H
 622 E
 G11C 19/00 C

[Procedure revision]

[Filing Date] March 28, Heisei 14 (2002. 3.28)

[Procedure amendment 1]

[Document to be Amended] Specification

[Item(s) to be Amended] Claim

[Method of Amendment] Modification

[Proposed Amendment]

[Claim(s)]

[Claim 1] It has two or more steps of flip-flops which operate synchronizing with a clock signal, and the shift direction is set according to a change signal to a bidirectional shift register with the amplitude of an input signal smaller than driver voltage that it can change bidirectionally,
 The bidirectional shift register characterized by equipping the both ends of the flip-flop of the above-mentioned two or more stages with the level shifter which carries out the pressure up of the above-mentioned input signal.

[Claim 2] Furthermore, the bidirectional shift register according to claim 1 characterized by having the control means which stops the level shifter by the side of the tail end of the shift direction among both the above-mentioned level shifters according to the above-mentioned change signal.

[Claim 3] Each above-mentioned level shifter is a bidirectional shift register according to claim 2 characterized by including the level shift section of the current drive mold equipped with the input

switching element.

[Claim 4] The above-mentioned control means is a bidirectional shift register according to claim 3 characterized by stopping the level shifter concerned by giving the signal of the level which the above-mentioned input switching element intercepts as an input signal to each above-mentioned level shift section.

[Claim 5] The above-mentioned control means is a bidirectional shift register according to claim 2 characterized by stopping the electric power supply to each above-mentioned level shifter, and stopping the level shifter concerned.

[Claim 6] Each above-mentioned level shifter is a bidirectional shift register according to claim 2, 3, 4, or 5 characterized by having the output stability means.

[Claim 7] The above-mentioned output stability means is a bidirectional shift register according to claim 6 characterized by maintaining output voltage at the value beforehand defined at the time of a halt of a level shifter.

[Claim 8] The shift register section which while became an input side and carries out the sequential transfer of the input signal through two or more flip-flops to the other-end section which became an output side from the edge while changing an input side and an output side based on a change signal, The bidirectional shift register containing the level shifter which adjoins the both ends of the above-mentioned shift register section, respectively, is prepared in them, carries out the pressure up of the signal, and is outputted to this shift register section.

[Claim 9] The level shifter which adjoins the edge which became an output side among the above-mentioned level shifters is a bidirectional shift register according to claim 8 characterized by suspending actuation.

[Claim 10] The bidirectional shift register according to claim 9 characterized by including further the output stabilization circuit which keeps constant the output voltage of the level shifter under halt.

[Claim 11] The bidirectional shift register according to claim 8 characterized by including further the current supply control section which the electric power supply to the level shifter which adjoins the edge used as an output side is stopped [control section], and stops actuation of this level shifter.

[Claim 12] The bidirectional shift register according to claim 8 characterized by including further the input electronic switch which the level of a signal is changed, creates the electrical potential difference of the level which stops actuation of the level shifter which adjoins the edge used as an output side, and gives this electrical potential difference to this level shifter.

[Claim 13] Each level shifter is an electrical-potential-difference drive mold, The above-mentioned electrical potential difference is a bidirectional shift register according to claim 12 characterized by being an electrical potential difference outside the input voltage range which can operate the above-mentioned level shifter.

[Claim 14] Each level shifter is a current drive mold, The above-mentioned electrical potential difference is a bidirectional shift register according to claim 12 characterized by being the electrical potential difference which intercepts the switching element of the input stage of the above-mentioned level shifter.

[Claim 15] Two or more pixels allotted in the shape of a matrix,
Two or more data signal lines arranged at each line of each above-mentioned pixel,
Two or more scan signal lines arranged at each train of each above-mentioned pixel,
The scan signal-line drive circuit which gives the scan signal of mutually different timing one by one to each above-mentioned scan signal line synchronizing with the 1st clock signal of the period defined beforehand,

In the image display device which has the data signal line drive circuit which extracts the data signal from the video signal which is given one by one synchronizing with the 2nd clock signal of the period defined beforehand, and shows the display condition of each above-mentioned pixel to each pixel of the scan signal line with which the above-mentioned scan signal was given, and is outputted to each above-mentioned data signal line,

Either [at least] the above-mentioned data signal line drive circuit or a scan signal-line drive circuit is

the image display device characterized by having the bidirectional shift register according to claim 1, 2, 3, 4, 5, 6, or 7 which makes the 1st or 2nd clock signal of the above the above-mentioned clock signal.

[Claim 16] Two or more pixels formed in a part for the intersection of two or more data signal lines and two or more scan signal lines, respectively,

The data signal line drive circuit which carries out the sequential drive of two or more above-mentioned data signal lines,

The scan signal-line drive circuit which carries out the sequential drive of two or more above-mentioned scan signal lines is included,

Either [at least] the above-mentioned data signal line drive circuit or the above-mentioned scan signal-line drive circuit is the image display device characterized by having a bidirectional shift register according to claim 8, 9, 10, 11, 12, 13, or 14.

[Claim 17] The above-mentioned data signal line drive circuit, a scan signal-line drive circuit, and each pixel are an image display device according to claim 15 or 16 characterized by being mutually formed on the same substrate.

[Claim 18] The above-mentioned data signal line drive circuit, a scan signal-line drive circuit, and each pixel are an image display device according to claim 15, 16, or 17 characterized by including the switching element which consists of a polycrystalline silicon thin film transistor.

[Claim 19] The above-mentioned data signal line drive circuit, a scan signal-line drive circuit, and each pixel are an image display device according to claim 15, 16, 17, or 18 characterized by including the switching element manufactured at the process temperature of 600 or less degrees.

[Translation done.]